

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年3月20日 (20.03.2003)

PCT

(10) 国際公開番号
WO 03/023865 A1

(51) 国際特許分類: H01L 29/786, 21/336, 21/76 (74) 代理人: 工藤 実, 外 (KUDOH, Minoru et al.); 〒140-0013 東京都品川区南大井6丁目24番10号 カドヤビル6階 Tokyo (JP).

(21) 国際出願番号: PCT/JP02/09043 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(22) 国際出願日: 2002年9月5日 (05.09.2002) (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ: 特願2001-272982 2001年9月10日 (10.09.2001) JP

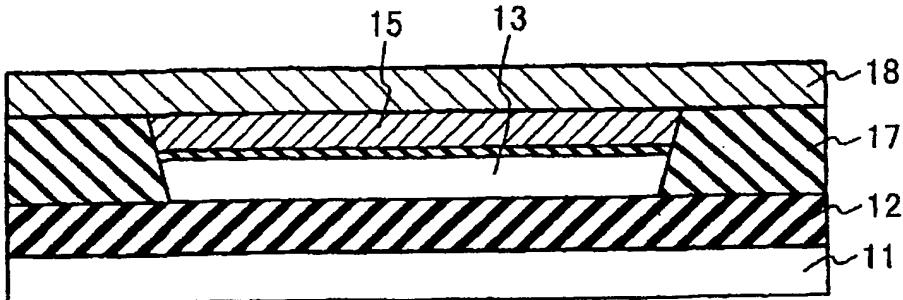
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 斎藤 幸重 (SAITO, Yukishige) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 黄 例 昭 (KOH, Risho) [CN/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 李 ジョ ン ウ イ (LI, Jyonu) [KR/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 武 村 久 (TAKEMURA, Hisashi) [JP/JP]; 〒108-8001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor manufacturing method comprising (a) a step for successively forming a gate insulating film (14), a first conductive layer (15), and a first insulating film (16) on a semiconductor layer (13) on an insulating film (12), (b) a step of forming an element isolating groove by selectively removing the semiconductor layer, the gate insulating film, the first conductive layer, and the first insulating film, (c) a step of forming a second insulating film (17) in the element isolating groove, the top face of the second insulating film being substantially flush with the top face of the first insulating film, (d) a step of removing a part of the second insulating film and the first insulating film so as to make the top face of the exposed first conductive layer flush with the top face of the second insulating film, and (e) a step of patterning the first conductive layer to form a gate electrode.

[続葉有]

WO 03/023865 A1



(57) 要約:

本発明の半導体装置の製造方法は、(a) 絶縁体膜12上の半導体層13の上に、ゲート絶縁膜14、第1の導電体層15および第1の絶縁膜16を順次形成するステップと、(b) 前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜を選択的に除去して素子分離溝を形成するステップと、(c) 前記素子分離溝に第2の絶縁膜17を形成するステップと、前記第2の絶縁膜の上面の高さは、前記第1の絶縁膜の上面の高さと実質的に一致しており、(d) 前記第2の絶縁膜の一部及び前記第1の絶縁膜を除去して、露出した前記第1の導電体層の上面の高さと前記第2の絶縁膜の上面の高さとを実質的に一致させるステップと、(e) 前記第1の導電体層をパターニングしてゲート電極を形成するステップとを備えている。

明細書

半導体装置およびその製造方法

5

技術分野

本発明は、半導体装置およびその製造方法に関し、特に半導体基板の上に埋め込み酸化膜を介して形成された単結晶の半導体層を有するS O I (Silicon On Insulator) 基板を用いた、半導体装置の構造およびその素子分離の方法に関するものである。

10

背景技術

L S I の超微細化と高密度化の要求は益々激しくなり、サブ100 nm時代を迎えており、一方で、低消費電力化、超高速化の要求も高まってきておりこれらの要求を従来のバルク基板を用いて満たすことが困難になりつつある。

15

S O I 基板上に形成されたM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) は、従来のバルク基板上に形成されたM I S F E T に比べて、ソースドレイン領域の接合容量が小さいこと、基板バイアス効果が小さいこと、サブスレッショルド特性が優れていることなどにより、サブ100 nm世代のU L S I 素子として期待される。

20

而して、S O I - M I S F E T には、完全空乏化型 (Full - D e p l e t e d S O I - M I S F E T、以下、F D型 S O I - M I S F E T) と部分空乏化型 (Partially - D e p l e t e d S O I - M I S F E T、以下、P D - S O I - M I S F E T) の二種類の動作モードがある。F D型 S O I - M I S F E T は S O I 層の膜厚が最大空乏化幅よりも薄い (ボディ領域が常に空乏化している) M I S F E T であり、P D - S O I とは S O I 層の膜厚が最大空乏化幅よりも厚い M I S F E T である。特に、F D - S O I は、急峻なサブスレッショルド特性が得られ

るため、低電圧、超高速動作に優れたULSI素子として期待できる。サブ100nm世代のFD型SOI-MISFETは、SOI基板のシリコン層の膜厚は10nm程度以下に薄膜化される。

以下に、従来のSOI-MISFETに製造方法について説明する。

まず、一般的のバルク基板上のMISFETに対して用いられるトレンチ分離 (Shallow Trench Isolation; 以下、STI) をSOI構造に適用する場合について、図1A～図2Bの工程順断面図を参照して説明する（以下、第1の従来例）。シリコン基板51、埋め込み酸化膜52およびシリコン膜53からなるSOI基板を用意し〔図1A〕、膜厚が5nm程度のパッド酸化膜54および120nm程度のストッパー窒化膜55を順次堆積した後に、フォトリソグラフィと反応性イオンエッティング (Reactive Ion Etching; 以下、RIE) 法により、ストッパー窒化膜55、パッド酸化膜54およびシリコン膜53を島状に加工して、素子分離溝56を形成する〔図1B〕。次に、STI埋め込み絶縁膜57を堆積し、化学機械研磨 (Chemical Mechanical Polishing; 以下、CMP) 法によりSTI埋め込み絶縁膜57の平坦化を行う〔図1C〕。

次に、ストッパー窒化膜55を熱リン酸により、パッド酸化膜54をフッ酸（以下、HF）によりそれぞれウェットエッティングにより除去して、シリコン膜53を露出させる〔図1D〕。このとき、シリコン膜53の下部に埋め込まれている埋め込み酸化膜52がオーバーエッティング59される。その後、ゲート絶縁膜60を形成し、多結晶シリコン膜61を堆積しこれをパターニングしてゲート電極を形成する〔図2A〕。その後、側壁絶縁膜63、ソースドレイン領域64、シリサイド膜65の形成、層間絶縁膜66の堆積、コンタクトホールの開孔、メタル配線67の形成を行い、MISFETを形成する〔図2B〕。形成されたMISFETの平面図を図2Cに示す。図1A～図2Bは、図2CのA-A'に沿った断面での工程順断面図である。

図3A～3Dは、特開2001-24202号公報にて開示された、素

子分離領域の形成方法を示す工程順の断面図である（以下、第2の従来例）。シリコン基板51上に埋め込み酸化膜52、シリコン膜53が積層されたS0I基板のシリコン膜の表面に、ゲート絶縁膜68および第1の多結晶シリコン膜70を順次堆積した後、第1の多結晶シリコン膜70、ゲート絶縁膜68およびシリコン膜53を同一のマスクを用いてパターニングする〔図3A〕。続いて全面にSTI埋め込み絶縁膜69を堆積し、これをCMP法により平坦化する〔図3B〕。

次に、全面に第2の多結晶シリコン膜71を堆積し、フォトレジストよりなるマスクパターン58を設け〔図3C〕、このマスクパターン58を用いて第2の多結晶シリコン膜71、第1の多結晶シリコン膜70およびゲート絶縁膜68をRIE法によりパターニングする。ここで、第1の多結晶シリコン膜70はゲート電極70aに、第2の多結晶シリコン膜71は隣接するトランジスタのゲート電極どうしを接続するゲート電極ライン71aとなる。その後、イオン注入によりソースドレイン領域64を形成し、図3Dの構造を得る。

S0I-MISFETにおいては、素子領域の端部72が露出すると、リーク電流が発生することが知られているが、この素子分離方法によれば、素子が形成されるシリコン膜53の側面が、STI埋め込み絶縁膜69で覆われるので、素子領域の端部72は露出せず、リーク電流が抑制される（なお、実際には、リーク電流が発生するのは、図3Dに垂直な、紙面手前→奥行き方向断面において、同様に存在する端部であるが、図示の都合のため、図3Dにて図示している。）。

高密度化時代における典型的なシリコン膜の厚さは約10nmであるが、そのような薄いシリコン膜を持つS0I-MISFETに、STIを適用する場合、第1の従来例では次のような問題が生じる。図1Cの形状を形成した後にストッパー塗化膜55を熱リリン酸により、さらに、パッド酸化膜54を、HFを用いたウェットエッティング法により除去する。このときに、STI埋め込み絶縁膜57も同時にHFによりエッティングされる。したがって、図1Dに示すように、シリコン膜53の下部にある埋め込み酸

化膜 5 2 がオーバーエッティング（図 1 D の記号 5 9）されてしまう。特に、シリコン膜 5 3 が薄い（例えば、典型的には 10 nm の場合）と、パッド酸化膜 5 4 をエッティングする際に、シリコン膜 5 3 側面の STI 埋め込み絶縁膜 5 7 はエッティングにより簡単に全て失われてしまうので、シリコン膜 5 3 の端部の下部コーナーにおいてオーバーエッティング 5 9 が極めて起こりやすくなる。

さらに、シリコン膜 5 3 の端部の下部コーナーの埋め込み酸化膜 5 2 がオーバーエッティングされた形状で、ゲート絶縁膜 6 0 を形成した後、多結晶シリコン膜 6 1 を堆積し、次いで、多結晶シリコン膜 6 1 のパターニングを行うと、オーバーエッティング部 5 9 に残留多結晶シリコン 6 2 が残される〔図 2 A〕。

図 2 C の平面図に示すように、残留多結晶シリコン 6 2 は、活性領域（島領域）を取り巻くように形成される。その結果、B-B' 断面においては、残留多結晶シリコン 6 2 と多結晶シリコン膜 6 1 が接続してしまう。このとき、ゲート電極が 2 本以上並列に配列されていると、ゲート電極同士が、残留多結晶シリコン膜 6 2 により短絡されてしまうことになる。このほかにも、残留多結晶シリコン 6 2 とソースドレイン領域 6 4 間に形成される静電容量は、ゲート容量に並列に接続された寄生容量となるので、回路の負荷を増大させ、動作速度を低下させる。また、ゲート絶縁膜 6 0 が、ソースドレイン領域 6 4 を形成するためのイオン注入によりダメージを受けて絶縁性が劣化すると、残留多結晶シリコン 6 2 を介して、ゲート電極とソースドレイン領域 6 4 間で電気的な短絡が生じてしまう可能性がある。

また、オーバーエッティング 5 9 が形成されることにより、素子端が露出すると、素子領域の端部（図 3 D の符号 7 2）においてリーク電流が発生しやすくなる。

さらに、第 1 の従来例では、素子領域の端部が露出することにより、ゲート電極が素子領域の側面をも覆うように形成されるため、ゲート電極からシリコン膜に印加される電界が強化されることになり、微細化によりしきい値が低下する逆狭チャネル効果が顕著になる。

このようなオーバーエッチングを防止するために、H Fによるパッド酸化膜 5 4 のウェットエッチングを厳密に制御することが考えられる（現実には、非常に困難ではあるが）。しかし、そのときには、図 4 に示すように段差が生じることになってしまう。なぜならば、パッド酸化膜 5 4 の膜厚 5 は S T I 埋め込み絶縁膜 5 7 の膜厚と比べて非常に薄いからである。また、この段差をなくすために H Fによるウェットエッチングを続けるならば、そのときには、先に述べたようにオーバーエッチングが生じる。

ここで、段差が生じた場合の問題点について図 5 を参照して説明する。このような段差があると、ゲート絶縁膜 6 0 を形成した後に多結晶シリコン膜 6 1 を堆積し〔図 5 A〕、この多結晶シリコン 6 1 を R I E により加工してゲート電極を形成しようとすると、段差部分にエッチングされない残留多結晶シリコン 6 2 が発生する〔図 5 B〕。この残留多結晶シリコン 6 2 は、多結晶シリコン膜間どうし、またはゲート電極とソースドレイン領域間の短絡の要因となる。また、このような段差が生じると、リソグラフィ工程においてゲート電極加工用レジストパターンの形状を劣化させることの原因にもなる。

また、第 2 の従来例では、図 3 B に示すように加工するために、C M P 法による研磨を行うと、多結晶シリコンに対する研磨速度は、一般に酸化膜に対する研磨速度よりも速いため、第 1 の多結晶シリコン膜 7 0 が、S T I 埋め込み絶縁膜 6 9 よりも深く研磨されることになり、段差が生じてしまう〔図 6 A〕。さらには、第 1 の多結晶シリコン膜 7 0 を、C M P 法における研磨のストッパーとして作用させることが不可能であるために、多結晶シリコンが薄膜化された場合、多結晶シリコンが全て失われてしまう〔図 6 B〕可能性さえある。

なお、特開平 11-74538 号公報には、次の半導体装置が記載されている。その半導体装置は、絶縁層を有する基板と、上記絶縁層の上に形成され一部がチャネル領域となる第 1 導電型半導体層と、上記半導体層の上記チャネル領域の上に形成されたゲート絶縁膜と、上記ゲート絶縁膜の上に形成されたゲート電極と、上記半導体層内で上記チャネル領域の両側

の領域にそれぞれ形成された第2導電型ソース・ドレイン領域と、上記ソース領域及びドレイン領域のうち少なくともいずれか一方の領域と上記チャネル領域とに隣接する上記半導体層内の領域に形成され、チャネル領域で発生した正孔・電子対中の正孔の蓄積を阻止する機能を有する正孔消滅用領域とを備えている。
5

特開2001-24202号公報には、次のSOI素子が開示されている。そのSOI素子は、ベース基板、埋め込み酸化膜及び半導体層の積層構造からなるSOI基板；活性領域を限定するように、前記フィールド領域の該半導体層部分に前記埋め込み酸化膜と接するように形成された酸化膜；前記活性領域上のみに形成されたゲート酸化膜を持つゲート電極パターン；前記ゲート電極パターンの両側の前記半導体層の活性領域内に形成されたソース及びドレイン領域；及び、一列に配列された活性領域の各々に形成されたゲート電極パターン間を連結するように、前記ゲート電極パターン上及びフィールド領域上に形成されたゲート電極ラインを含むことを特徴とする。
10
15

特開平11-67895号公報には、次の半導体素子の隔離構造が開示されている。半導体素子の隔離構造は、アクティブ領域及びフィールド領域を有する半導体基板と、該半導体基板のアクティブ領域内に所定深さで形成された埋立絶縁層と、上記半導体基板のフィールド領域内に上記埋立絶縁層より深い位置に形成された隔離層と、を有することを特徴とする。
20

発明の開示

本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、第1に、素子領域端部を露出させないようにすることであり、第2に、残留多結晶シリコンを発生させないようにすることであり、第3に、ゲート電極材料である多結晶シリコン膜を損傷したり消失させてしまったりすることのないようにすることである。
25

本発明の半導体装置の製造方法は、(a) 絶縁体膜上の半導体層の上に、ゲート絶縁膜、第1の導電体層および第1の絶縁膜を順次形成するステッ

5 プと、(b) 前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜を選択的に除去して素子分離溝を形成するステップと、
(c) 前記素子分離溝に第2の絶縁膜を形成するステップと、前記第2の絶縁膜の上面の高さは、前記第1の絶縁膜の上面の高さと実質的に一致してお
り、(d) 前記第2の絶縁膜の一部及び前記第1の絶縁膜を除去して、露出した前記第1の導電体層の上面の高さと前記第2の絶縁膜の上面の高さとを実質的に一致させるステップと、(e) 前記第1の導電体層をパターニングしてゲート電極を形成するステップとを備えている。

10 本発明の半導体装置の製造方法において、前記(d)は、R I E (R e
active Ion Etching)により行われる。

本発明の半導体装置の製造方法において、前記(d)は、前記第2の絶縁膜の一部の除去をR I Eにより行い、前記第1の絶縁膜の除去をウェットエッチングにより行う。

15 本発明の半導体装置の製造方法において、更に、(f) 前記(d)の後に、前記第1の導電体層の上に第2の導電体層を形成するステップを備え、前記(e)は、前記第1の導電体層及び前記第2の導電体層をパターニングしてゲート電極及び前記ゲート電極から引き出されるゲート引出し配線を形成する。

20 本発明の半導体装置の製造方法は、(g) 絶縁体膜上の半導体層の上に、ゲート絶縁膜、第1の導電体層および第1の絶縁膜を順次形成するステップと、(h) 前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜を選択的に除去して素子分離溝を形成するステップと、
(i) 前記素子分離溝に第2の絶縁膜を形成するステップと、前記第2の絶縁膜の上面の高さは、前記第1の絶縁膜の上面の高さと実質的に一致してお
り、(j) 前記第1の絶縁膜を除去して前記第1の導電体層の表面を露出させるステップと、(k) 前記第1の導電体層及び前記第2の絶縁膜の上に第2の導電体層を堆積するステップと、(l) 前記第2の導電体層を平坦化するステップと、(m) 前記第2の導電体層及び前記第1の導電体層をパターニングしてゲート電極を形成するステップとを備えている。

本発明の半導体装置の製造方法において、前記（1）は、前記第2の絶縁膜をストッパー膜として用いたCMP（Chemical Mechanical Polishing）法により行う。

本発明の半導体装置の製造方法において、更に、（n）前記（1）の後に、前記第2の導電体層の上に第3の導電体層を形成するステップを備え、前記（m）は、前記第2の導電体層、前記第1の導電体層及び第3の導電体層をパターニングしてゲート電極及び前記ゲート電極から引き出されるゲート引出し配線を形成する。

本発明の半導体装置の製造方法において、前記（b）又は前記（h）は、前記第1の導電体層の底面と側面とのなす角度が鈍角になるよう行われる。

本発明の半導体装置の製造方法において、前記（b）又は前記（h）は、前記第1の導電体層の底面と側面とのなす角度、及び前記半導体層の底面と側面とのなす角度のそれぞれが鈍角になるよう行われる。

本発明の半導体装置の製造方法において、前記（b）又は前記（h）は、前記第1の導電体層の底面と側面とのなす角度、及び前記第1の絶縁膜の底面と側面とのなす角度のそれぞれが鈍角になるよう行われる。

本発明の半導体装置の製造方法において、前記（b）又は前記（h）は、前記第1の導電体層の底面と側面とのなす角度が直角になるよう行われる。

本発明の半導体装置の製造方法において、前記（b）又は前記（h）は、前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜にRIEを行うことを含む。

本発明の半導体装置の製造方法において、前記（b）又は前記（h）は、
25 HBr-Cl₂-O₂-SF₆系ガスを用いたエッティングにより行われる。

本発明の半導体装置の製造方法において、前記（b）又は前記（h）のエッティングは、O₂の流量が調整されることにより、前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜のそれぞれの側面の傾きを制御しながら行われる。

本発明の半導体装置の製造方法において、前記(c)又は前記(i)は、前記第2の絶縁膜をCMP法により平坦化させるステップを含む。

本発明の半導体装置の製造方法において、前記第1の絶縁膜がシリコン窒化膜であり、前記第2の絶縁膜がシリコン酸化膜である。

5 本発明の半導体装置の製造方法において、前記第1の導電体層または前記第2の導電体層がポリシリコンにより形成される。

本発明の半導体装置は、絶縁体膜の上に半導体層が形成される半導体装置であって、前記絶縁体膜は、ゲート電極を形成するための導電体層と接触しておらず、前記絶縁体膜の上に設けられた素子分離絶縁膜の全ては、
10 絶縁体と接触している。

本発明の半導体装置は、絶縁体膜の上に半導体層が形成される半導体装置であって、前記絶縁体膜は、ゲート電極を形成するための導電体層と接触しておらず、素子分離絶縁膜は、前記ゲート電極を形成するための導電体層と接触していない。

15 本発明の半導体装置は、絶縁体膜の上に半導体層が形成される半導体装置であって、前記絶縁体膜は、ゲート絶縁膜を形成するための絶縁膜と接触しておらず、前記絶縁体膜の上に設けられた素子分離絶縁膜の全ては、絶縁体と接触している。

本発明の半導体装置は、絶縁体膜の上に半導体層が形成される半導体装置であって、前記絶縁体膜は、ゲート絶縁膜を形成するための絶縁膜と接触しておらず、素子分離絶縁膜は、前記ゲート電極を形成するための導電体層と接触していない。

20 本発明の半導体装置は、絶縁体膜の上に半導体層が形成される半導体装置であって、前記半導体層は、ゲート絶縁膜を形成するための絶縁膜と接触しておらず、前記絶縁体膜の上に設けられた素子分離絶縁膜の全ては、絶縁体と接触している。

本発明の半導体装置は、絶縁体膜の上に半導体層が形成される半導体装置であって、前記半導体層は、ゲート絶縁膜を形成するための絶縁膜と接触しておらず、素子分離絶縁膜は、前記ゲート電極を形成するための導電

体層と接触していない。

本発明の半導体装置において、前記半導体層の底面と、前記半導体層のうち素子分離絶縁膜と接触する側面とのなす角度が鈍角に形成されている。

本発明の半導体装置において、前記素子分離絶縁膜の上面の高さと、ゲート電極の上面の高さは、実質的に同じである。

本発明の半導体装置において、前記ゲート電極は、第1の導電性材料層と、前記第1の導電性材料層の上部に設けられた第2の導電性材料層とから形成されている。

本発明の半導体装置において、前記ゲート電極の上面の高さと、前記素子分離絶縁膜の上面の高さが実質的に等しい。

本発明の半導体装置において、前記半導体装置は、S O I (Silicon On Insulator) 素子であり、前記絶縁体膜は、埋め込み絶縁膜であり、前記半導体層は、シリコン膜である。

本発明の半導体装置は、絶縁体膜上に島状にパターニングされて設けられた、チャネル領域およびソースドレイン領域を有する半導体層と、チャネル領域である前記半導体層の上部にゲート絶縁膜を介して設けられたゲート電極と、前記絶縁体膜上に前記半導体層を囲繞して形成された、その上面が前記半導体層の上面から上方に突出した素子分離絶縁膜と、を有する半導体装置において、前記素子分離絶縁膜の側面に接する前記ゲート電極の側面が逆テーパー形状に形成されている。

本発明の半導体装置において、前記半導体層の側面が逆テーパー形状に形成されている。

本発明の半導体装置において、前記ゲート電極の上面に接し前記素子分離絶縁膜の上面に延在するゲート電極引き出し配線が形成されている。

本発明の半導体装置において、前記ゲート電極が、第1の導電性材料層とその上部に設けられた第2の導電性材料層から形成されている。

本発明の半導体装置において、前記素子分離絶縁膜の上面の高さと、前記ゲート電極の上面の高さが略等しい。

本発明の半導体装置において、前記絶縁体膜と前記半導体層とが、S O

I 基板の埋め込み絶縁膜とその上に形成されたシリコン膜である。

図面の簡単な説明

図 1 A は、本発明の第 1 の従来例の製造方法を示す工程順断面図である。

5 図 1 B は、本発明の第 1 の従来例の製造方法を示す他の工程順断面図である。

図 1 C は、本発明の第 1 の従来例の製造方法を示す更に他の工程順断面図である。

10 図 1 D は、本発明の第 1 の従来例の製造方法を示す更に他の工程順断面図である。

図 2 A は、本発明の第 1 の従来例の製造方法を示す更に他の工程順断面図である。

図 2 B は、本発明の第 1 の従来例の製造方法を示す更に他の工程順断面図である。

15 図 2 C は、本発明の第 1 の従来例の製造方法を示す平面図である。

図 3 A は、本発明の第 2 の従来例の製造方法を示す工程順断面図である。

図 3 B は、本発明の第 2 の従来例の製造方法を示す他の工程順断面図である。

20 図 3 C は、本発明の第 2 の従来例の製造方法を示す更に他の工程順断面図である。

図 3 D は、本発明の第 2 の従来例の製造方法を示す更に他の工程順断面図である。

図 4 は、従来例の問題点を説明するための断面図である。

図 5 A は、第 1 の従来例の問題点を説明するための工程順断面図である。

25 図 5 B は、第 1 の従来例の問題点を説明するための他の工程順断面図である。

図 6 A は、第 2 の従来例の問題点を説明するための工程順断面図である。

図 6 B は、第 2 の従来例の問題点を説明するための他の工程順断面図である。

図 7 A は、本発明の第 1 の実施の形態の製造方法を示す工程順断面図である。

図 7 B は、本発明の第 1 の実施の形態の製造方法を示す他の工程順断面図である。

5 図 7 C は、本発明の第 1 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 7 D は、本発明の第 1 の実施の形態の製造方法を示す更に他の工程順断面図である。

10 図 8 A は、本発明の第 1 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 8 B は、本発明の第 1 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 8 C は、本発明の第 1 の実施の形態の製造方法を示す更に他の工程順断面図である。

15 図 8 D は、本発明の第 1 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 9 は、エッチングの順テーパーと逆テーパーの生成条件を示す図である。

20 図 10 A は、順テーパーと逆テーパーの生成原理の一部を示す断面図である。

図 10 B は、順テーパーと逆テーパーの生成原理の他の一部を示す断面図である。

図 11 は、RIE におけるシリコン酸化膜とシリコン窒化膜のエッチング速度の比較図である。

25 図 12 A は、本発明の第 2 の実施の形態の製造方法を示す工程順断面図である。

図 12 B は、本発明の第 2 の実施の形態の製造方法を示す他の工程順断面図である。

図 12 C は、本発明の第 2 の実施の形態の製造方法を示す更に他の工程

順断面図である。

図12Dは、本発明の第2の実施の形態の製造方法を示す更に他の工程順断面図である。

図12Eは、本発明の第2の実施の形態の製造方法を示す更に他の工程順断面図である。

図13Aは、本発明の第2の実施の形態の製造方法を示す更に他の工程順断面図である。

図13Bは、本発明の第2の実施の形態の製造方法を示す更に他の工程順断面図である。

図13Cは、本発明の第2の実施の形態の製造方法を示す更に他の工程順断面図である。

図13Dは、本発明の第2の実施の形態の製造方法を示す更に他の工程順断面図である。

図14は、多結晶シリコンとシリコン酸化膜との研磨速度を比較した図である。

図15Aは、本発明の第3の実施の形態の製造方法を示す工程順断面図である。

図15Bは、本発明の第3の実施の形態の製造方法を示す他の工程順断面図である。

図15Cは、本発明の第3の実施の形態の製造方法を示す更に他の工程順断面図である。

図15Dは、本発明の第3の実施の形態の製造方法を示す更に他の工程順断面図である。

図16Aは、本発明の第3の実施の形態の製造方法を示す更に他の工程順断面図である。

図16Bは、本発明の第3の実施の形態の製造方法を示す更に他の工程順断面図である。

図16Cは、本発明の第3の実施の形態の製造方法を示す更に他の工程順断面図である。

図 16 D は、本発明の第 3 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 17 A は、本発明の第 4 の実施の形態の製造方法を示す工程順断面図である。

5 図 17 B は、本発明の第 4 の実施の形態の製造方法を示す他の工程順断面図である。

図 17 C は、本発明の第 4 の実施の形態の製造方法を示す更に他の工程順断面図である。

10 図 17 D は、本発明の第 4 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 17 E は、本発明の第 4 の実施の形態の製造方法を示す更に他の工程順断面図である。

15 図 18 A は、本発明の第 4 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 18 B は、本発明の第 4 の実施の形態の製造方法を示す更に他の工程順断面図である。

20 図 18 C は、本発明の第 4 の実施の形態の製造方法を示す更に他の工程順断面図である。

図 18 D は、本発明の第 4 の実施の形態の製造方法を示す更に他の工程順断面

25 図 19 A は、本発明の比較例の製造方法を示す工程順断面図である。

図 19 B は、本発明の比較例の製造方法を示す他の工程順断面図である。

図 19 C は、本発明の比較例の製造方法を示す更に他の工程順断面図である。

25 図 20 A は、本発明の比較例の製造方法を示す更に他の工程順断面図である。

図 20 B は、本発明の比較例の製造方法を示す更に他の工程順断面図である。

図 20 C は、本発明の比較例の製造方法を示す更に他の工程順断面図で

ある。

発明を実施するための最良の形態

以下、図面を参照して、本発明の実施の形態について説明する。

5 (第1の実施の形態)

図7A～図8Cは、本発明の第1の実施の形態の製造方法を示す工程順断面図である。

まず、図7Aに示される、シリコン基板11、埋め込み酸化膜12およびシリコン膜13からなるSOI基板を用意する。ここで、シリコン膜13の膜厚は10nmと超薄膜である。このシリコン膜13上にゲート絶縁膜14、第1の多結晶シリコン膜15およびストッパー窒化膜16を順次堆積する〔図7B〕。

次に、エッティング端面がストッパー窒化膜16では垂直に、第1の多結晶シリコン膜15、ゲート絶縁膜14およびシリコン膜13では逆テーパー形状（シリコン膜13の底面とその側面とのなす角度θが鈍角）になるように、ストッパー窒化膜16、第1の多結晶シリコン膜15、ゲート絶縁膜14およびシリコン膜13をエッティングして素子分離溝を形成する。次に、STI埋め込み絶縁膜17を堆積し、CMP法によりSTI埋め込み絶縁膜17の平坦化を行う〔図7C〕。このとき、第1の多結晶シリコン膜15の上部にはストッパー窒化膜16が設けられており、これがCMP工程においてストッパーとして作用するため、ゲート電極を形成するための第1の多結晶シリコン膜15がCMP工程においては損傷されることはない。

ここで、エッティング工程において、エッティング端面を逆テーパー形状または順テーパーの形状に形成する方法について説明する。図9に、HBr-C1₂-O₂-SF₆系混合ガス雰囲気下におけるエッティングの、SF₆ガスの流量比とテーパー角(θ)との関係を示す。図9に示されるように、この混合ガスを用いた場合、SF₆ガスの流量比を増加させると順テーパー形状が、SF₆ガスの流量比を減少させたときには逆テーパー形状が得られ

る。

この理由については、次のように考えられる。図10は、図9と同じく、
HBr-C₁₂-O₂-SF₆系混合ガス雰囲気下においてシリコンのエッチングを行なった場合に形成されるシリコンのテーパーの形状を示す模式
5 断面図である。図10Aは、この混合ガス雰囲気下において、SF₆ガスの
流量比が小さいとき、図10BはSF₆ガスの流量比が大きいときに、形成
されるテーパーの形状を示している。

SF₆ガスの流量比が小さい場合〔図10A〕には、エッチングの初期においては、エッチング生成物が堆積してパターン端部に側面保護膜が形成
10 される。この側面保護膜がエッチングからシリコンを保護する作用をもつために、マスク材とシリコンの境界部付近ではサイドエッチングが生じにくい。しかし、下部領域においては側面保護膜は形成されにくくなる。したがって、側面保護膜によるエッチングに対する保護作用は下部領域部分
15 では小さくなり、主としてシリコンの下部領域部分においてサイドエッチングが生じる。その結果、最終的な形状としては、逆テーパー形状が得られる〔図10A〕。

一方、図10Bに示すように、SF₆ガスの流量比が大きいときには、エッチング時に側面保護膜が形成されにくい。したがって、側面保護膜によるエッチングに対する保護作用がないため、エッチング初期からサイドエッチングが顕著になり、マスク材の下側領域部分が集中的にエッチングされる。したがって、最終形状としては、マスク材の下側領域でシリコンの上部領域部分がサイドエッチングの影響を強く受けた、順テーパー形状が得られる。

なお、素子分離溝を順テーパー形状に形成した場合との比較については、
25 [比較例]において後述する。

ところで、本実施の形態においては、素子分離溝を形成するためのエッチングにおいて、ゲート電極材料である第1の多結晶シリコン膜15と、シリコン膜13の両者に対して、ともに逆テーパー形状を持つように形成した。しかし、第1の多結晶シリコン15のみを逆テーパー形状としても

ゲート電極部を形成する時に残留多結晶シリコンを防止することができる。ゲート電極部の形成時にはシリコン膜13はエッティングされないからである。

また、ここでは、ストッパー窒化膜16は垂直にエッティングされている
5 が、逆テーパー形状に形成されていても全く問題はない。

次に、図7Dに示すように、ストッパー窒化膜16とSTI埋め込み絶縁膜17の一部を除去し、第1の多結晶シリコン膜15を露出させる。この時、第1の多結晶シリコン膜15とSTI埋め込み絶縁膜17の表面の高さを等しくするために、ストッパー窒化膜16とSTI埋め込み絶縁膜
10 17を等速エッティング条件のRIEによりエッティングする。これにより、図7Dに示されるように、ストッパー窒化膜16を除去すると、第1の多結晶シリコン膜15とSTI埋め込み絶縁膜17の高さは等しくなる。

以下に、等速エッティング法の条件設定方法について説明する。図11に
15 SiO_2 (STI埋め込み絶縁膜17) および Si_3N_4 (ストッパー窒化膜16) のエッティング速度と O_2 ガスの流量比との関係を示す。なお、このデータは $\text{CHF}_3 - \text{O}_2 - \text{Ar}$ 系の混合ガスを用いたエッティングにより得られたものである。この図から、 O_2 ガスの流量比が増加するに伴い SiO_2 のエッティング速度は低下し、一方、 Si_3N_4 のエッティング速度は上昇して、ある箇所で両者のエッティング速度が等しくなることが分かる。

20 なお、図7Dに示す状態を得るためのエッティング操作は、等速条件で行なうことが望ましいが、完全に等速条件にてエッティングができなくとも、両者のエッティング速度比が20%以内であれば、実用上は特に問題はない。

ところで、図7Cから図7Dに進む工程において、ストッパー窒化膜16を熱リン酸によって除去するならば、ストッパー窒化膜16の厚さ分だけ、STI埋め込み絶縁膜17が上に突起した段差が生じる。このような段差は、続いて行われるゲート電極形成工程において、ゲート電極の形状を悪化させる。しかし、本実施の形態において等速エッティング法により、第1の多結晶シリコン膜15とSTI埋め込み絶縁膜17との間に段差が生じることを防止しているため、高精度のパターニングが可能である。

ここで、段差をなくす方法として、等速エッチング法以外にも、次の手段が有効である。図7 Cにおいて、ストッパー塗化膜16とSTI埋め込み絶縁膜17の上端部をCMP法により平坦化する。続いて、STI埋め込み絶縁膜17を、ストッパー塗化膜16と比べて速度の速いRIE条件において、ストッパー塗化膜16の下部の高さまでエッチングする〔図8 D〕。次に、ストッパー塗化膜16を熱リン酸により選択的に除去する。

5 次に、素子領域の外側までゲート電極を引き出すゲート引き出し配線を形成するための第2の多結晶シリコン膜18を堆積する〔図8 A〕。続いて、リソグラフィと高密度プラズマエッチング技術により第2、第1の多結晶シリコン膜をパターニングして、第2の多結晶シリコン膜18と第1の多結晶シリコン膜15からなるゲート引き出し配線とゲート電極の積層構造を形成する〔図8 B〕。

10 次に、化学蒸着（Chemical Vapor Deposition；以下、CVD）法により厚さが80 nmの酸化物を全面に成膜した後に、異方性ドライエッチングを行なうことにより、ゲート電極の側壁等に側壁絶縁膜20を形成する。次に、イオン注入と熱処理によりソースドレイン領域21を形成する。続いて、スパッタ法により全面にコバルト膜を堆積した後に熱処理を行ない、シリサイド膜22を形成しシリサイド化されなかったコバルト膜を除去する。次に、層間絶縁膜23を厚く成膜した後に、コンタクトホールを開孔しスパッタ法によりアルミニウム等の金属膜を堆積しこれをパターニングしてメタル配線24を形成する〔図8 C〕。

15 ここで、第2の多結晶シリコン膜18が平坦な構造に対して、ゲート電極を形成するためのパターニングを行っているため〔図8 A〕、また、素子の分離溝が逆テーパー形状になっているため、STI埋め込み絶縁膜17の側壁に多結晶シリコン膜を残留させることができない。さらに、ゲート電極とソースドレイン領域21間において電気的な短絡が生じない。また、STI埋め込み絶縁膜17がシリコン膜13よりも突き出した構造になるために、シリコン膜の側面をゲート電極が覆うことがなく従来法によるSTI分離を用いたときに問題となる逆狭チャネル効果を抑制することができる。

さらに、STI埋め込み絶縁膜17を埋め込んだ後に、パッド酸化膜（図1Cの54）の除去を目的としたHF処理を行う必要がない。したがって、第1の従来例の場合のように、STI埋め込み絶縁膜57が減少したりまたは喪失したりすることがない。したがって、超薄膜SOI基板を用いた場合は問題となるシリコン膜端部下の埋め込み酸化膜12のオーバーエッジングは発生しない。その結果、残留多結晶シリコン（図2A、Bの符号62）が発生せず、ゲート電極間、およびゲート電極とソースドレイン領域間における電気的な短絡を生じさせない。

（第2の実施の形態）

図12A～図13Dは、本発明の第2の実施の形態の製造方法を示す工程順断面図である。まず、図12Aに示すシリコン基板11、埋め込み酸化膜12および10nm厚のシリコン膜13からなるSOI基板上に、ゲート絶縁膜14、第1の多結晶シリコン膜15およびストッパー窒化膜16を順次堆積する〔図12B〕。

次に、ストッパー窒化膜16、第1の多結晶シリコン膜15、ゲート絶縁膜14およびシリコン膜13を選択的にエッティングして素子分離溝を形成する。このとき、ストッパー窒化膜16、第1の多結晶シリコン膜15およびシリコン膜13の側面が逆テーパー形状を持つように加工する。次いで、STI埋め込み絶縁膜17を堆積し、CMP法によりSTI埋め込み絶縁膜17の平坦化を行なう〔図12C〕。

次に、熱リシン酸を用いてストッパー窒化膜16を除去し、第1の多結晶シリコン膜15の表面を露出させる〔図12D〕。続いて、第2の多結晶シリコン膜18を堆積し〔図12E〕、さらに、CMP法により第2の多結晶シリコン膜18の平坦化を行う〔図13A〕。このCMP工程においては、STI埋め込み絶縁膜17をストッパー膜として用いることができる。

ここで、図14を参照すると、CMP工程における、多結晶シリコンおよびシリコン酸化物（STI埋め込み絶縁膜）の研磨量の経時変化が示される。この図14から、多結晶シリコンの研磨速度（1minあたりの研磨量）は、シリコン酸化物の研磨速度の約1.5倍であることが分かり、

多結晶シリコン膜をC M P法により研磨する際に、S T I埋め込み絶縁膜をストッパーとして利用できることが分かる。

次に、ゲート引き出し配線を形成するための第3の多結晶シリコン膜25を堆積し〔図13B〕、リソグラフィと高密度プラズマエッチング技術により積層多結晶シリコン膜のパターニングを行い、第3の多結晶シリコン膜25からなるゲート引き出し配線と、第1の多結晶シリコン膜15および第1の多結晶シリコン膜18の積層構造からなるゲート電極を形成する〔図13C〕。その後、第1の実施の形態に記載した方法と同様の方法により、側壁絶縁膜20、ソースドレイン領域21、シリサイド膜22の形成を行い、層間絶縁膜23を堆積し、メタル配線24を形成することによりM I S F E Tが完成する〔図13D〕。

本実施の形態においては、等速エッチング法等を用いておらず、段差が生じたまま次の工程に移っている〔図12D〕。しかしながら、第2の多結晶シリコン膜18を堆積後〔図12E〕、次のC M Pステップの際にS T I埋め込み絶縁膜17をストッパーとして作用させることにより、第2の多結晶シリコン膜18とS T I埋め込み絶縁膜17との段差を解消させている〔図13A〕。さらに、平坦な構造上に第3の多結晶シリコン膜25を形成した後に〔図13B〕、ゲート電極を形成するためのパターニングを行なっているため、残留多結晶シリコンの発生は抑えられる。したがって、第1の実施の形態と同様の効果が得られる。すなわち、ゲート電極とソースドレイン領域間、ゲート電極間同士の電気的な短絡が生じない。また、従来法によりS T I分離を用いたときに問題となる逆狭チャネル効果が抑制される。また、H F処理を行っていないため、S T I埋め込み絶縁膜17が膜減りしたり消失したりすることがない。

(第3の実施の形態)

図15A～図16Cは、本発明の第3の実施の形態の製造方法を示す工程順断面図である。本実施の形態は、第1の多結晶シリコン膜15およびシリコン膜13に逆テーパー形状を持たせない方法である。

図15Aに示す、シリコン基板11、埋め込み酸化膜12およびシリコ

ン膜 13 を有する SOI 基板上に、ゲート絶縁膜 14、第 1 の多結晶シリコン膜 15 およびストッパー窒化膜 16 を順次堆積する [図 15 B]。次に、ストッパー窒化膜 16、第 1 の多結晶シリコン膜 15、ゲート絶縁膜 14 およびシリコン膜 13 を選択的にエッチングして素子分離溝を形成するが、5 このとき素子分離溝側面が垂直に形成されるようにする。続いて、STI 埋め込み絶縁膜 17 を堆積し、CMP 法により平坦化する [図 15 C]。

次に、等速エッチング法を用いることにより、ストッパー窒化膜 16 を除去したときに、第 1 の多結晶シリコン膜 15 の上面と、STI 埋め込み絶縁膜 17 の上面が、ほぼ同じ高さになるように加工する [図 15 D]。また、この方法に代え、まず、STI 埋め込み絶縁膜 17 をストッパー窒化膜 16 の下面とほぼ同じ高さまで一旦エッチングし [図 16 D]、その後に、熱リン酸によりストッパー窒化膜 16 を除去する。以下、第 1 の実施の形態と同様の方法により工程を進めて [図 16 A および 16 B]、MISFET が完成する [図 16 C]。

この方法においては、第 1 の多結晶シリコン膜 15 に対するテーパー角 θ が直角の形状を持つ分だけ、第 1 の実施の形態と比べてゲート電極形成時における多結晶シリコンの残存性がやや劣るようと思われる。しかしながら、この方法においては、等速エッチング法により第 1 の多結晶シリコン膜 15 と STI 埋め込み絶縁膜 17 を平坦化することにより、または、STI 埋め込み絶縁膜 17 をストッパー窒化膜 16 の下端までエッチングして除去した [図 16 D] 後にストッパー窒化膜 16 を除去して平坦化することにより、残留多結晶シリコンの発生を抑えている。

(第 4 の実施の形態)

図 17 A～図 18 D は、本発明の第 4 の実施の形態の製造方法を示す工程順断面図である。図 17 A に示す、シリコン基板 11、埋め込み酸化膜 12 およびシリコン膜 13 を有する SOI 基板上に、ゲート絶縁膜 14、第 1 の多結晶シリコン膜 15 およびストッパー窒化膜 16 を順次堆積する [図 17 B]。次に、ストッパー窒化膜 16、第 1 の多結晶シリコン膜 15、ゲート絶縁膜 14 およびシリコン膜 13 を選択的にエッチングして側面が

垂直な素子分離溝を形成し、STI埋め込み絶縁膜17を堆積し、CMP法により平坦化する〔図17C〕。

次に、熱リン酸を用いてストッパー塗化膜16を除去し、第1の多結晶シリコン膜15の表面を露出させる〔図17D〕。

5 次に、第2の多結晶シリコン膜18を堆積し〔図17E〕、CMP法により第2の多結晶シリコン膜18の平坦化を行う〔図18A〕。このCMP工程においては、STI埋め込み絶縁膜17をストッパー膜として用いることができる。

10 次に、ゲート引き出し配線を形成するための第3の多結晶シリコン膜25を堆積し〔図18B〕、リソグラフィと高密度プラズマエッチング技術により積層多結晶シリコン膜のパターニングを行い、第3の多結晶シリコン膜25からなるゲート引き出し配線と、第2の多結晶シリコン膜18および第1の多結晶シリコン膜15の積層構造からなるゲート電極を形成する〔図18C〕。

15 その後、第1の実施の形態に記載した方法と同様の方法により、側壁絶縁膜20、ソースドレイン領域21、シリサイド膜22の形成を行い、層間絶縁膜23を堆積し、コンタクトホールを開孔した後、メタル配線24を形成することによりMISFETが完成する〔図18D〕。

20 この方法においては、第2の多結晶シリコン膜18を堆積した後にSTI埋め込み絶縁膜17をストッパーとしてCMPを行なって平坦化しているため、実施の形態2に示したと同様の効果が得られる。

次に、具体的な実施例について説明する。

本発明の第1の実施の形態に基づく実施例を、図7および図8を参照して説明する。最初に、シリコン基板11、膜の厚さが50nmから100nmの埋め込み酸化膜12および10nm厚のシリコン膜13からなるSOI基板を用意する〔図7A〕。そして、厚さ1.5nmのゲート絶縁膜14を形成した後、厚さ50nmの第1の多結晶シリコン膜15と厚さ50nmのストッパー塗化膜16を順次堆積する〔図7B〕。

次に、フォトリソグラフィによりレジスト膜を形成した後、これをマス

クとしてストッパー窒化膜16をエッティング側面が垂直になるようにエッティングし、続いて第1の多結晶シリコン膜15、ゲート絶縁膜14およびシリコン膜13を順次逆テーパー形状になるようにエッティングして素子分離溝を形成する。

5 次に、厚さ300nmの高密度プラズマ酸化膜からなるSTI埋め込み絶縁膜17を堆積し、CMP法によりSTI埋め込み絶縁膜17の平坦化を行う〔図7C〕。ここで、高純度のコロイダルシリカスラリーを用いたCMP法では、高密度プラズマ酸化膜は窒化膜の研磨速度と比べて5倍以上の値が得られる。したがって、STI埋め込み絶縁膜17のCMP研磨において、ストッパー窒化膜16は、膜厚が50nmであってもストッパー膜として充分に機能する。

10 次に、ストッパー窒化膜16とSTI埋め込み絶縁膜17を等速エッティング条件のRIEによりエッティングして、第1の多結晶シリコン膜15を露出させる。

15 次に、ゲート引き出し配線を形成するために、厚さ100nmの第2の多結晶シリコン膜18を堆積し〔図8A〕、続いて、リソグラフィとおよび高密度プラズマエッティングを用いて積層多結晶シリコン膜のバターニングを行い、第2の多結晶シリコン膜18からなるゲート引き出し配線と第1の多結晶シリコン膜15からなるゲート電極の積層構造を形成する〔図8B〕。

20 次に、CVD法により全面に厚さ80nmのシリコン酸化膜を堆積し、異方性エッティングを行なって側壁絶縁膜20を形成した後に、イオン注入と熱処理によりソースドレイン領域21を形成する。このときのソースドレイン領域の形成条件としては、nMISFET領域におけるソースドレイン層を、例えば、As⁺をエネルギー：8keV、ドーズ量： 4×10^{15} ions/cm⁻²の条件でイオン注入をして形成し、また、pMISFET領域におけるソースドレイン層を、例えば、B⁺をエネルギー：2keV、ドーズ量： 5×10^{15} ions/cm⁻²の条件で行う。さらに、活性化処理（熱処理）を1010°Cにおいて10秒間行う。

その後、厚さが 5 nm である CoSi_2 のシリサイド膜 22 を形成し、続いて、厚さが 500 nm の層間絶縁膜 23 を形成し、コンタクトホール開孔の後メタル配線 24 を形成して MISFET が完成する [図 8C]。

(実施例 2)

5 次に、本発明の第 2 の実施の形態に基づく実施例を、図 12 および図 13 の工程順断面図を参照して説明する。

まず、図 12A に示す、シリコン基板 11、厚さ 50 nm から 100 nm の埋め込み酸化膜 12、厚さが 10 nm のシリコン膜 13 からなる STI 基板を用意する。次に、厚さ 1.5 nm のゲート絶縁膜 14 を形成し、厚さ 50 nm の第 1 の多結晶シリコン膜 15 および厚さ 50 nm のストッパー窒化膜 16 を順次堆積する [図 12B]。

10 続いて、フォトリソグラフィによりレジスト膜を形成し、これをマスクとしてストッパー窒化膜 16、第 1 の多結晶シリコン膜 15、ゲート絶縁膜 14 およびシリコン膜 13 を順次逆テープを持たせるようにエッチングして素子分離溝を形成する。次に、厚さ 300 nm の高密度プラズマ酸化膜からなる STI 埋め込み絶縁膜 17 を堆積し、CMP 法により平坦化を行う [図 12C]。

15 次に、熱リン酸を用いてストッパー窒化膜 16 除去し、第 1 の多結晶シリコン膜 15 を露出させ [図 12D]、続いて、厚さ 100 nm の第 2 の多結晶シリコン膜 18 を堆積する [図 12E]。その後に、CMP 法により第 2 の多結晶シリコン膜 18 の平坦化を行う [図 13A]。ここで、STI 埋め込み絶縁膜 17 は第 2 の多結晶シリコン膜 18 を平坦化する際のストッパーとして作用する。

20 次に、図 13B に示されるように、ゲート引き出し配線を形成するための厚さ 100 nm の第 3 の多結晶シリコン膜 25 を堆積する。続いて、リソグラフィと高密度プラズマエッチング技術により、積層多結晶シリコン膜のパターニングを行い、第 3 の多結晶シリコン膜 25 からなるゲート引き出し配線と、第 2 の多結晶シリコン膜 18 および第 1 の多結晶シリコン膜 15 の積層構造からなるゲート電極とを形成する [図 13C]。

次に、CVD法により全面に厚さ80nmのシリコン酸化膜を堆積し、異方性エッティングを行なって側壁絶縁膜20を形成した後に、イオン注入と熱処理によりソースドレイン領域21を形成する。このときのソースドレイン領域の形成条件としては、nMISFET領域におけるソースドレイン層を、例えば、As⁺をエネルギー：8keV、ドーズ量： 4×10^{15} ions/cm⁻²の条件でイオン注入をして形成し、また、pMISFET領域におけるソースドレイン層を、例えば、B⁺をエネルギー：2keV、ドーズ量： 5×10^{15} ions/cm⁻²の条件で行う。さらに、活性化処理（熱処理）を1010°Cにおいて10秒間行う。

その後、厚さが5nmであるCoSi₂のシリサイド膜22を形成し、続いて、厚さが500nmの層間絶縁膜23を形成し、コンタクトホール開孔の後メタル配線24を形成してMISFETが完成する〔図13D〕。

[比較例]

ここで、第1の実施の形態に対し、多結晶シリコン膜15、ゲート絶縁膜14およびシリコン膜13のエッティングの形状が、順テーパー形状になるように加工したときの例を、比較例として図19A～図20Cを参照して説明する。

第1の実施の形態と同様に、シリコン基板11、埋め込み酸化膜12およびシリコン膜13を有するSOI基板を用意し〔図19A〕、その上にゲート絶縁膜14、第1の多結晶シリコン膜15およびストッパー窒化膜16を順次堆積する〔図19B〕。

次に、ストッパー窒化膜16を端面が垂直になるようにパターニングした後、多結晶シリコン膜15、ゲート絶縁膜14およびシリコン膜13を順テーパ形状（θが鋭角）となるようにパターニングして素子分離溝を形成する。続いてSTI埋め込み絶縁膜17を堆積し、CMPにより平坦化する〔図19C〕。次に、例えば、等速エッティング法により第1の多結晶シリコン膜15とSTI埋め込み窒化膜17とを平坦化した後に〔図20A〕、第2の多結晶シリコン膜18を堆積する〔図20B〕。次に、プラズマエッティング等により積層多結晶シリコン膜をパターニングする工程において、

STI埋め込み絶縁膜17に上部を覆われた第1の多結晶シリコン膜15の端面下部は、STI埋め込み絶縁膜17の遮蔽効果によりエッチングされずに残留多結晶シリコン19を発生させてしまう〔図20C〕。この結果、この残留多結晶シリコン19はゲート電極と接続しているために、並列するゲート電極間のリーク電流の発生、ゲート電極における寄生容量の増大等を招いてしまう。
5

この比較例のように、素子分離溝が順テーパー形状になるように加工すれば、残留多結晶シリコン19が発生するので好ましくない。また、短チャネルのSOI-MOSFETにおいては、素子領域端下部コーナーにおいて、ドレイン電界が集中することにより、リーク電流が発生することがある。しかしながら、シリコン膜13についても逆テーパーの形状を持つように加工して、素子領域端下部コーナーに鈍角を形成すると、電界が集中し難くなる。すなわち、素子分離溝が逆テーパー形状であると、リーク電流の発生を抑制できるという点で好ましい。
10

本発明の半導体装置においては、素子分離溝に接するゲート電極用多結晶シリコン膜が逆テーパー形状になるように形成されているので、ゲート電極形成時に残存多結晶シリコンの発生を未然に防止することができ、ゲート電極間のリーク電流の発生、ゲート電極における寄生容量の増大を抑制することができる。また、シリコン膜の側面を覆いシリコン膜から突出するように素子分離絶縁膜が形成されているので、リーク電流の増大を抑えることができると共に逆狭チャネル効果の発現を抑えることができる。さらに、シリコン膜をも逆テーパー状に形成することにより、電界の集中を緩和してリーク電流をより少なくすることができる。
15

また、本発明による製造方法においては、いずれの工程においてもHFによる処理を行っていないので、埋め込み酸化膜のオーバーエッチングによる残存多結晶シリコンをなくすことが可能となり、ゲート電極とソースドレイン領域との電気的な短絡、ゲート電極間のリーク電流の発生、ゲート電極における寄生容量の増大等を未然に防止することができる。また、ゲート電極を形成するためのフォトリソグラフィ工程を平坦な表面上で行
20

っているので、残留多結晶シリコンの発生を防止することができると共に精度の高いパターニングが可能になる。

産業上の利用の可能性

5 SOI 基板上に形成されたMISFETは、従来のバルク基板上に形成されたMISFETに比べて、ソースドレイン領域の接合容量が小さいこと、基板バイアス効果が小さいこと、サブスレッショルド特性が優れていことなどより、サブ100nm世代のULSI 素子として期待される。

請求の範囲

1.

(a) 絶縁体膜上の半導体層の上に、ゲート絶縁膜、第1の導電体層および第1の絶縁膜を順次形成するステップと、

(b) 前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜を選択的に除去して素子分離溝を形成するステップと、

(c) 前記素子分離溝に第2の絶縁膜を形成するステップと、前記第2の絶縁膜の上面の高さは、前記第1の絶縁膜の上面の高さと実質的に一致しており、

(d) 前記第2の絶縁膜の一部及び前記第1の絶縁膜を除去して、露出した前記第1の導電体層の上面の高さと前記第2の絶縁膜の上面の高さとを実質的に一致させるステップと、

(e) 前記第1の導電体層をパターニングしてゲート電極を形成するステップと

を備えた半導体装置の製造方法。

2. 請求の範囲1の半導体装置の製造方法において、

前記(d)は、R I E (R e a c t i v e I o n E t c h i n g)により行われる

半導体装置の製造方法。

3. 請求の範囲1の半導体装置の製造方法において、

前記(d)は、前記第2の絶縁膜の一部の除去をR I Eにより行い、前記第1の絶縁膜の除去をウェットエッチングにより行う

半導体装置の製造方法。

4. 請求の範囲1から3のいずれか1項の半導体装置の製造方法において、

更に、

(f) 前記(d)の後に、前記第1の導電体層の上に第2の導電体層を形成するステップ

を備え、

前記 (e) は、前記第 1 の導電体層及び前記第 2 の導電体層をパターニングしてゲート電極及び前記ゲート電極から引き出されるゲート引出し配線を形成する

5 半導体装置の製造方法。

5.

(g) 絶縁体膜上の半導体層の上に、ゲート絶縁膜、第 1 の導電体層および第 1 の絶縁膜を順次形成するステップと、

10 (h) 前記半導体層、前記ゲート絶縁膜、前記第 1 の導電体層および前記第 1 の絶縁膜を選択的に除去して素子分離溝を形成するステップと、

(i) 前記素子分離溝に第 2 の絶縁膜を形成するステップと、前記第 2 の絶縁膜の上面の高さは、前記第 1 の絶縁膜の上面の高さと実質的に一致しており、

15 (j) 前記第 1 の絶縁膜を除去して前記第 1 の導電体層の表面を露出させるステップと、

(k) 前記第 1 の導電体層及び前記第 2 の絶縁膜の上に第 2 の導電体層を堆積するステップと、

(l) 前記第 2 の導電体層を平坦化するステップと、

20 (m) 前記第 2 の導電体層及び前記第 1 の導電体層をパターニングしてゲート電極を形成するステップと

を備えた半導体装置の製造方法。

6. 請求の範囲 5 の半導体装置の製造方法において、

前記 (1) は、前記第 2 の絶縁膜をストッパー膜として用いた C M P (C hemical M echanical P o l i s h i n g) 法により行う

半導体装置の製造方法。

7. 請求の範囲 5 又は 6 の半導体装置の製造方法において、

更に、

(n) 前記 (1) の後に、前記第 2 の導電体層の上に第 3 の導電体層を

形成するステップ

を備え、

前記 (m) は、前記第 2 の導電体層、前記第 1 の導電体層及び第 3 の導電体層をパターニングしてゲート電極及び前記ゲート電極から引き出されるゲート引出し配線を形成する

5

半導体装置の製造方法。

8. 請求の範囲 1 から 7 のいずれか 1 項の半導体装置の製造方法において、

10. 前記 (b) 又は前記 (h) は、前記第 1 の導電体層の底面と側面とのなす角度が鈍角になるように行われる

10

半導体装置の製造方法。

9. 請求の範囲 1 から 7 のいずれか 1 項の半導体装置の製造方法において、

15

前記 (b) 又は前記 (h) は、前記第 1 の導電体層の底面と側面とのなす角度、及び前記半導体層の底面と側面とのなす角度のそれぞれが鈍角になるように行われる

半導体装置の製造方法。

10. 請求の範囲 1 から 7 のいずれか 1 項の半導体装置の製造方法において、

20

前記 (b) 又は前記 (h) は、前記第 1 の導電体層の底面と側面とのなす角度、及び前記第 1 の絶縁膜の底面と側面とのなす角度のそれぞれが鈍角になるように行われる

半導体装置の製造方法。

11. 請求の範囲 1 から 7 のいずれか 1 項の半導体装置の製造方法において、

25

前記 (b) 又は前記 (h) は、前記第 1 の導電体層の底面と側面とのなす角度が直角になるように行われる

半導体装置の製造方法。

12. 請求の範囲 1 から 11 のいずれか 1 項の半導体装置の製造方法に

において、

前記 (b) 又は前記 (h) は、前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜にRIEを行うことを含む半導体装置の製造方法。

5 13. 請求の範囲1から12のいずれか1項の半導体装置の製造方法において、

前記 (b) 又は前記 (h) は、 $\text{HBr}-\text{Cl}_2-\text{O}_2-\text{SF}_6$ 系ガスを用いたエッティングにより行われる

半導体装置の製造方法。

10 14. 請求の範囲13の半導体装置の製造方法において、

前記 (b) 又は前記 (h) のエッティングは、 O_2 の流量が調整されることにより、前記半導体層、前記ゲート絶縁膜、前記第1の導電体層および前記第1の絶縁膜のそれぞれの側面の傾きを制御しながら行われる

半導体装置の製造方法。

15 15. 請求の範囲1から14のいずれか1項の半導体装置の製造方法において、

前記 (c) 又は前記 (i) は、前記第2の絶縁膜をCMP法により平坦化させるステップを含む

半導体装置の製造方法。

20 16. 請求の範囲1から15のいずれか1項の半導体装置の製造方法において、

前記第1の絶縁膜がシリコン窒化膜であり、前記第2の絶縁膜がシリコン酸化膜である

半導体装置の製造方法。

25 17. 請求の範囲1から16のいずれか1項の半導体装置の製造方法において、

前記第1の導電体層または前記第2の導電体層がポリシリコンにより形成される

半導体装置の製造方法。

18. 絶縁体膜の上に半導体層が形成される半導体装置であって、
前記絶縁体膜は、ゲート電極を形成するための導電体層と接触しておら
ず、
前記絶縁体膜の上に設けられた素子分離絶縁膜の全ては、絶縁体と接触
5 している
半導体装置。

19. 絶縁体膜の上に半導体層が形成される半導体装置であって、
前記絶縁体膜は、ゲート電極を形成するための導電体層と接触しておら
ず、
10 素子分離絶縁膜は、前記ゲート電極を形成するための導電体層と接触し
ていない
半導体装置。

20. 絶縁体膜の上に半導体層が形成される半導体装置であって、
前記絶縁体膜は、ゲート絶縁膜を形成するための絶縁膜と接触しておら
ず、
15 前記絶縁体膜の上に設けられた素子分離絶縁膜の全ては、絶縁体と接触
している
半導体装置。

21. 絶縁体膜の上に半導体層が形成される半導体装置であって、
前記絶縁体膜は、ゲート絶縁膜を形成するための絶縁膜と接触しておら
ず、
素子分離絶縁膜は、前記ゲート電極を形成するための導電体層と接触し
ていない
半導体装置。

22. 絶縁体膜の上に半導体層が形成される半導体装置であって、
前記半導体層は、ゲート絶縁膜を形成するための絶縁膜と接触しておら
ず、
前記絶縁体膜の上に設けられた素子分離絶縁膜の全ては、絶縁体と接触
している

半導体装置。

23. 絶縁体膜の上に半導体層が形成される半導体装置であって、
前記半導体層は、ゲート絶縁膜を形成するための絶縁膜と接触しておら
ず、

5 素子分離絶縁膜は、前記ゲート電極を形成するための導電体層と接触し
ていない

半導体装置。

24. 請求の範囲18から23のいずれか1項の半導体装置において、
前記半導体層の底面と、前記半導体層のうち素子分離絶縁膜と接触する
10 側面とのなす角度が鈍角に形成されている

半導体装置。

25. 請求の範囲18から24のいずれか1項の半導体装置において、
前記素子分離絶縁膜の上面の高さと、ゲート電極の上面の高さは、実質
的に同じである

15 半導体装置。

26. 請求の範囲18から25のいずれか1項の半導体装置において、
前記ゲート電極は、第1の導電性材料層と、前記第1の導電性材料層の
上部に設けられた第2の導電性材料層とから形成されている

半導体装置。

27. 請求の範囲18から26のいずれか1項の半導体装置において、
前記ゲート電極の上面の高さと、前記素子分離絶縁膜の上面の高さが実
質的に等しい

半導体装置。

28. 請求の範囲18から27のいずれか1項の半導体装置において、
25 前記半導体装置は、SOI (Silicon On Insulator)
r) 素子であり、

前記絶縁体膜は、埋め込み絶縁膜であり、

前記半導体層は、シリコン膜である

半導体装置。

Fig. 1A

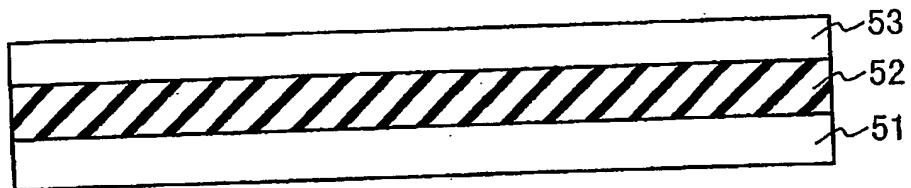


Fig. 1B

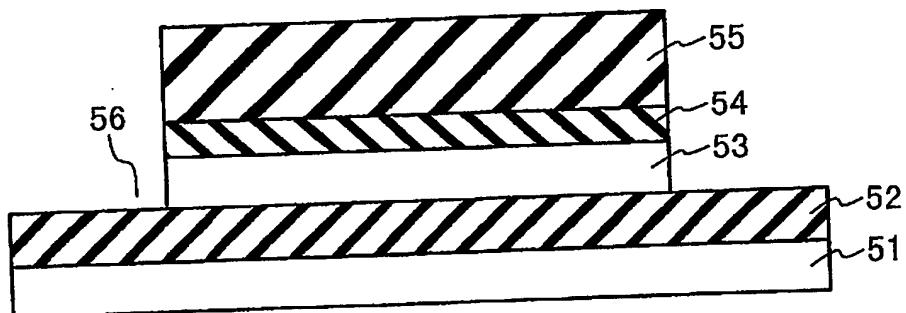


Fig. 1C

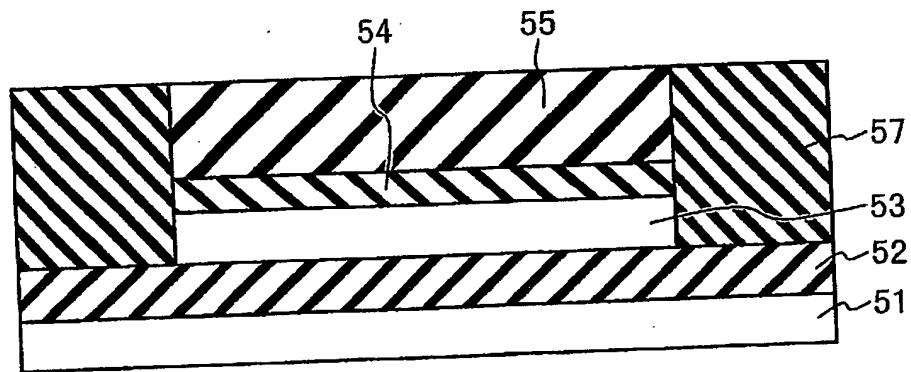


Fig. 1D

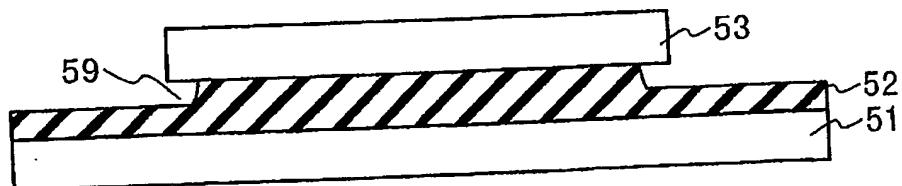


Fig. 2A

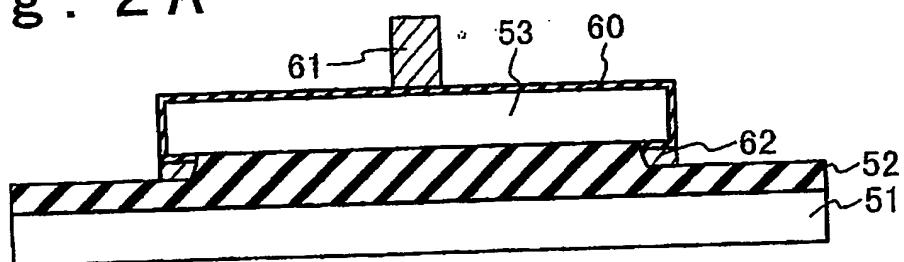


Fig. 2B

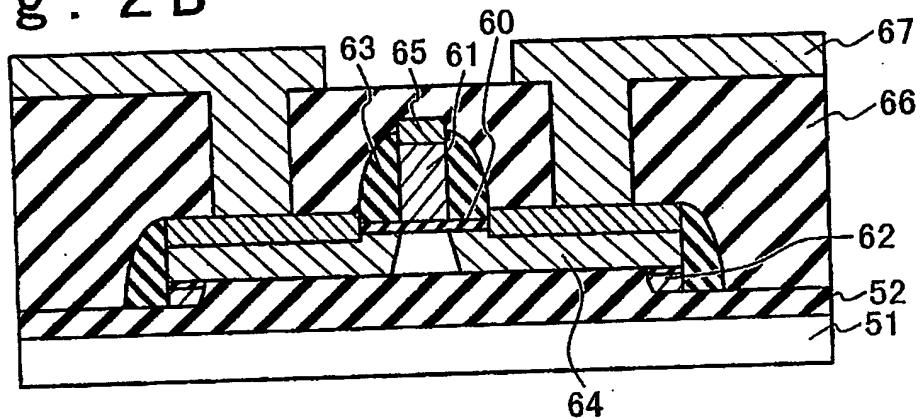


Fig. 2C

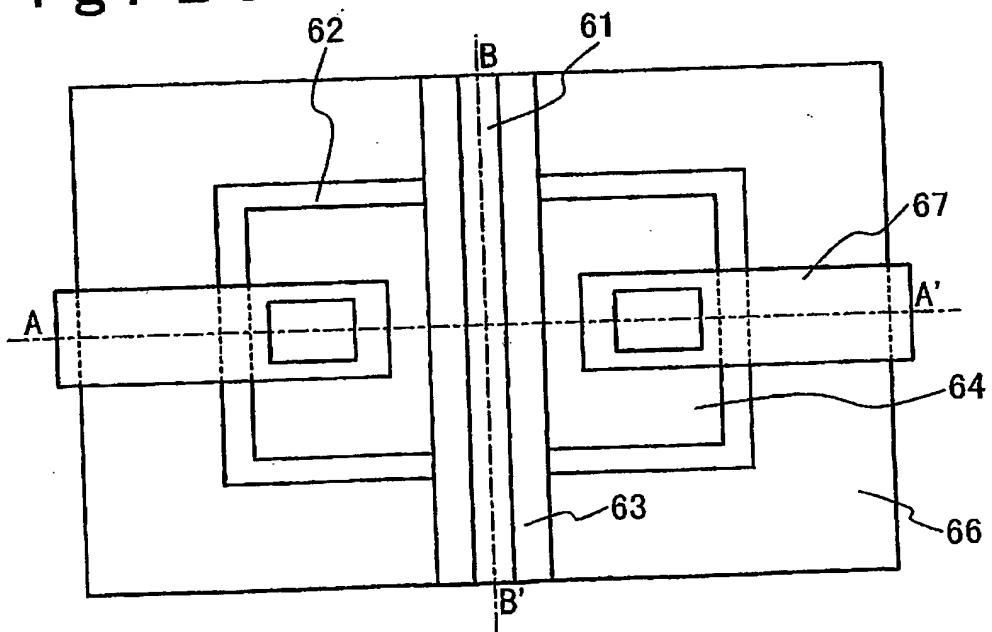


Fig. 3 A

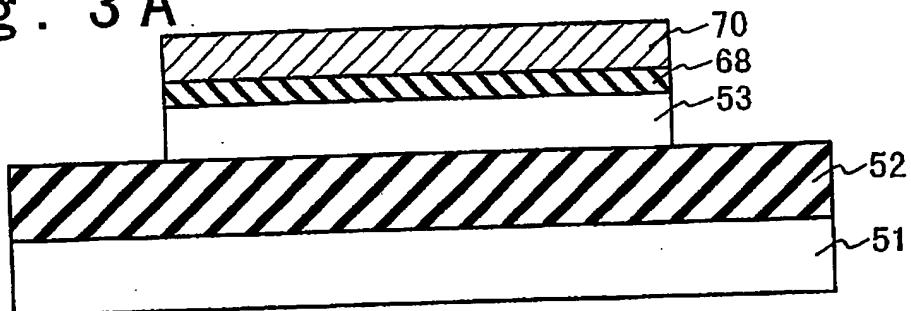


Fig. 3 B

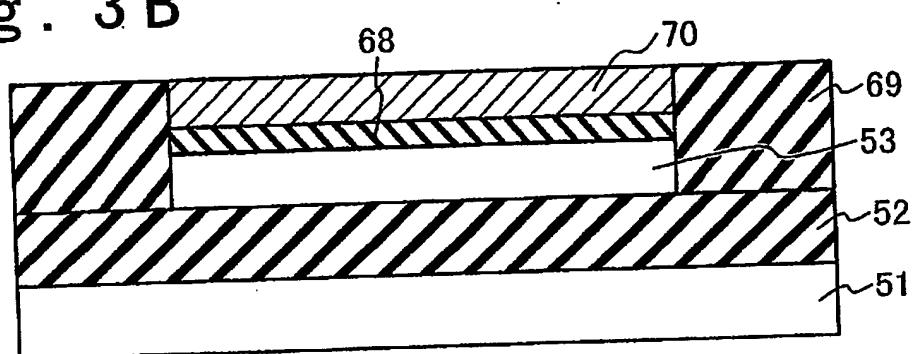


Fig. 3 C

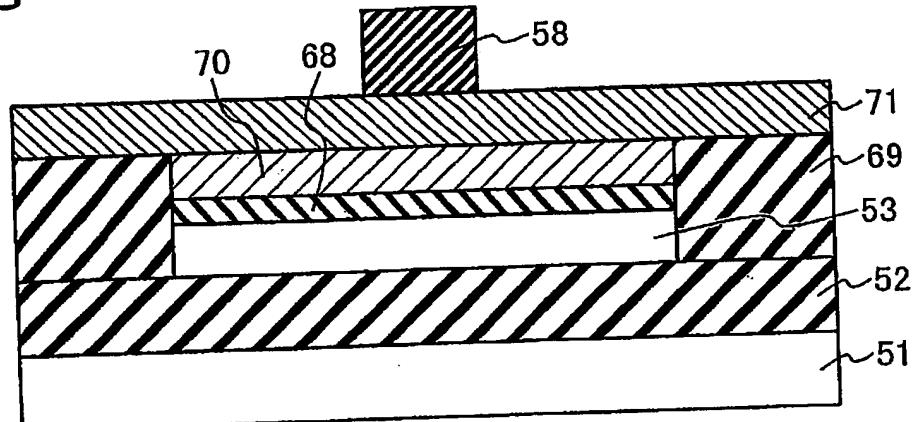


Fig. 3 D

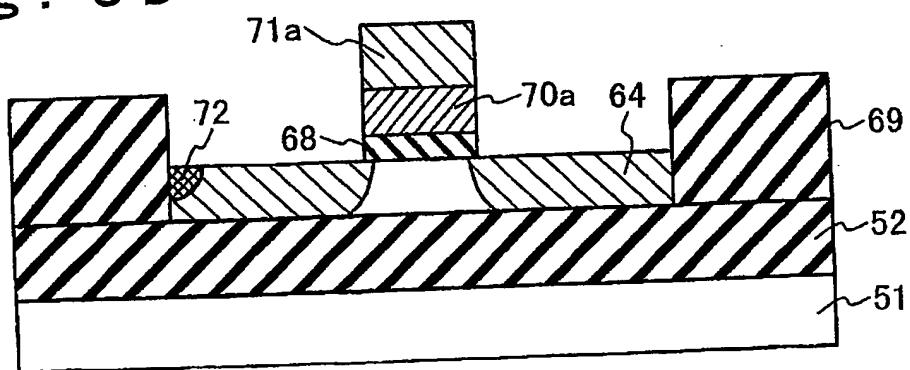


Fig. 4

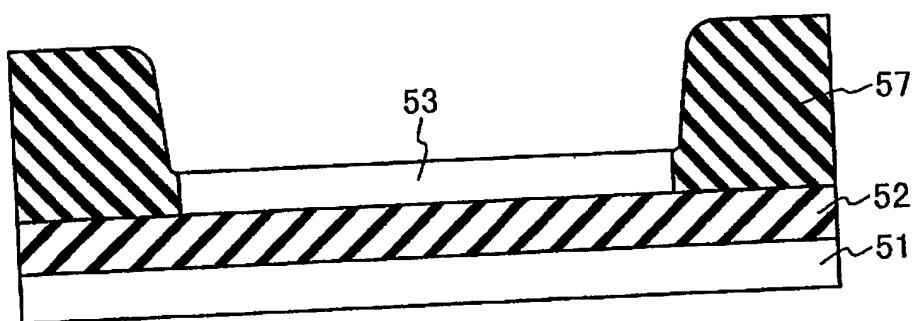


Fig. 5A

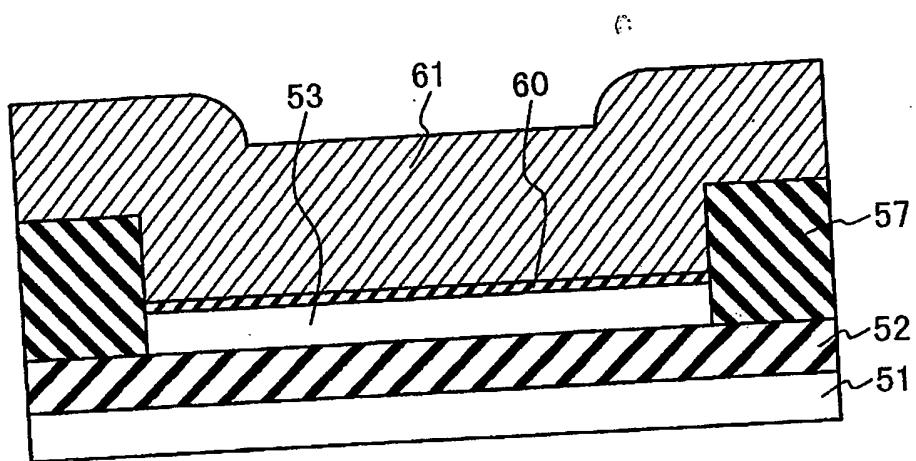


Fig. 5B

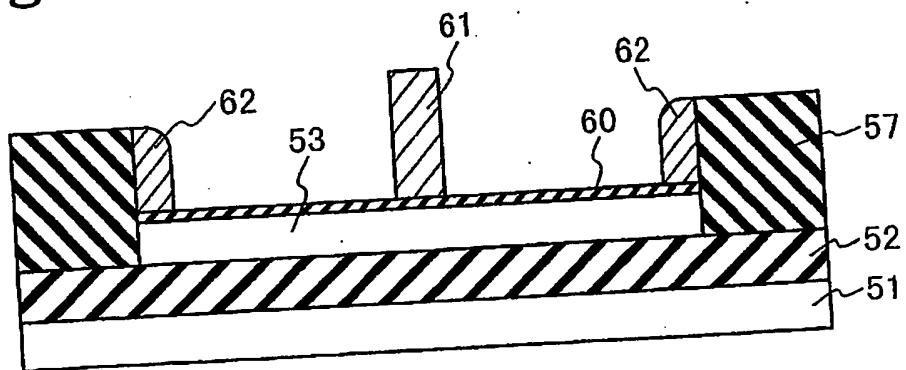


Fig. 6A

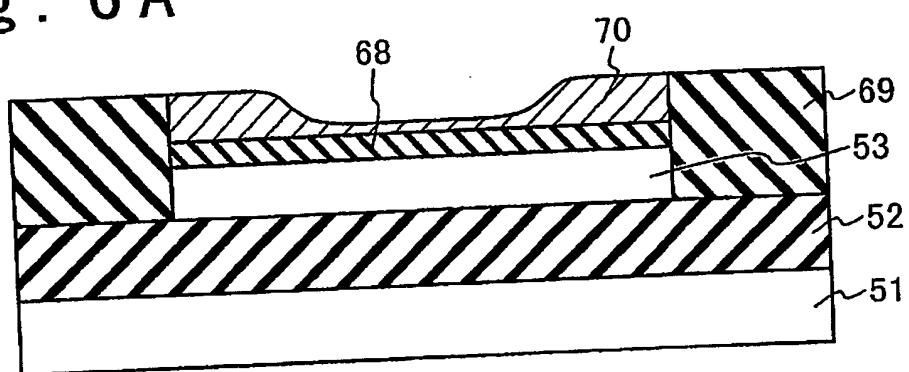


Fig. 6B

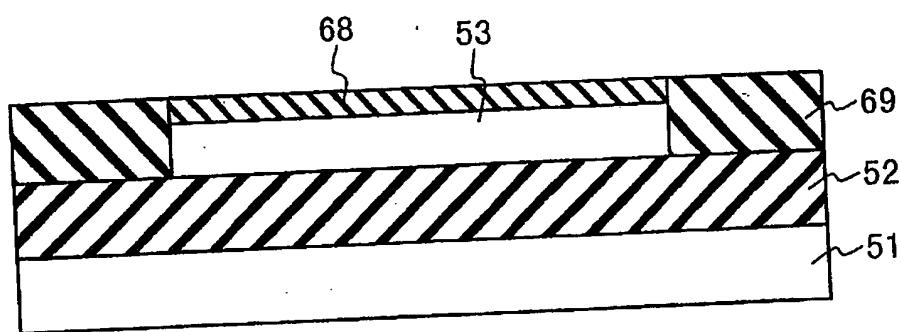


Fig. 7A

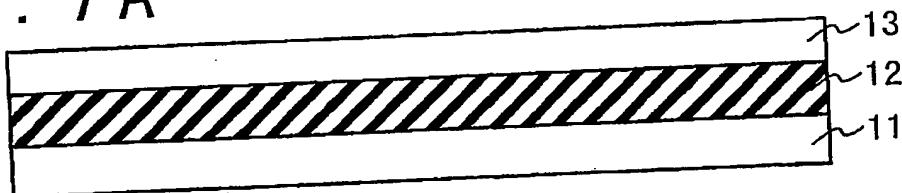


Fig. 7B

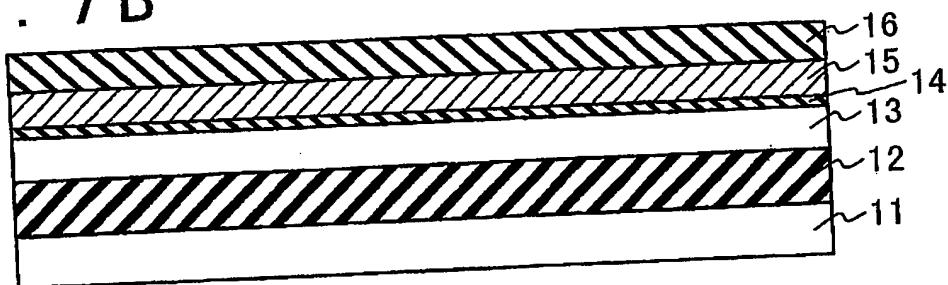


Fig. 7C

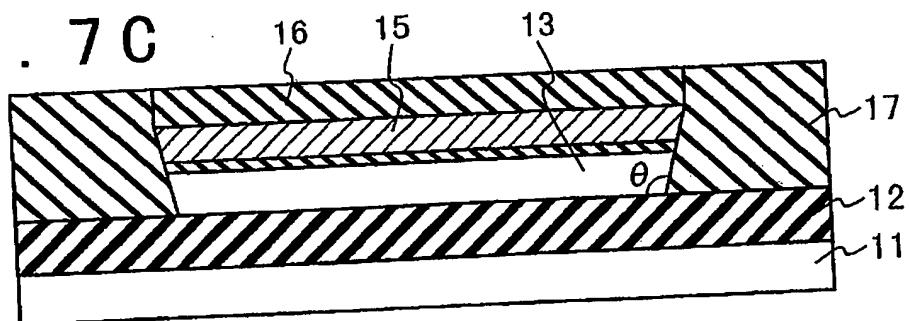


Fig. 7D

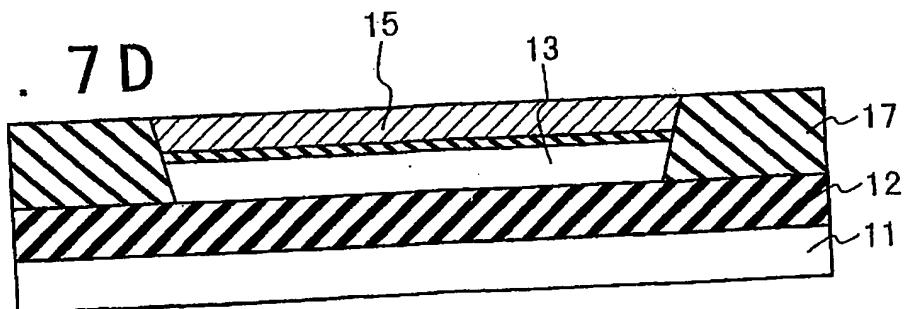


Fig. 8 A

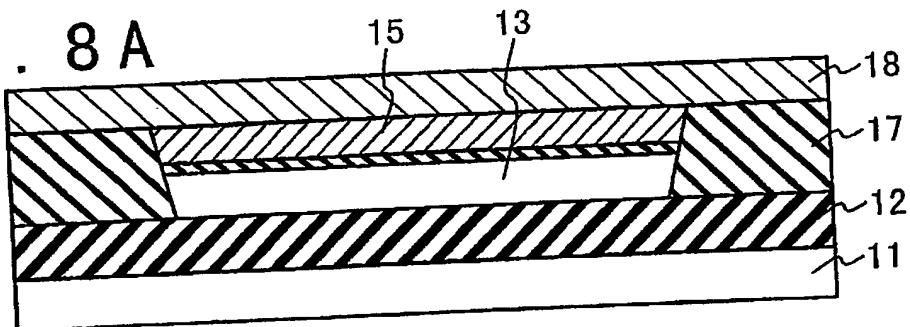


Fig. 8 B

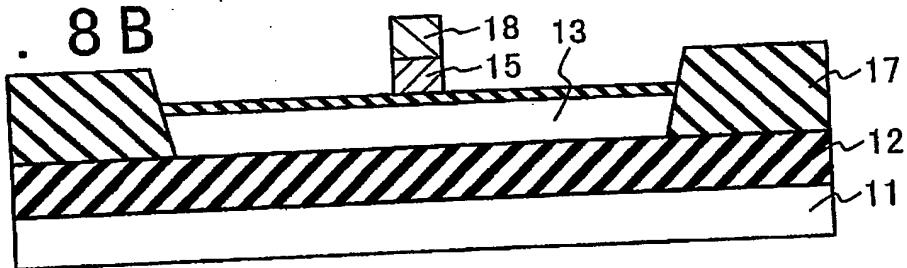


Fig. 8 C

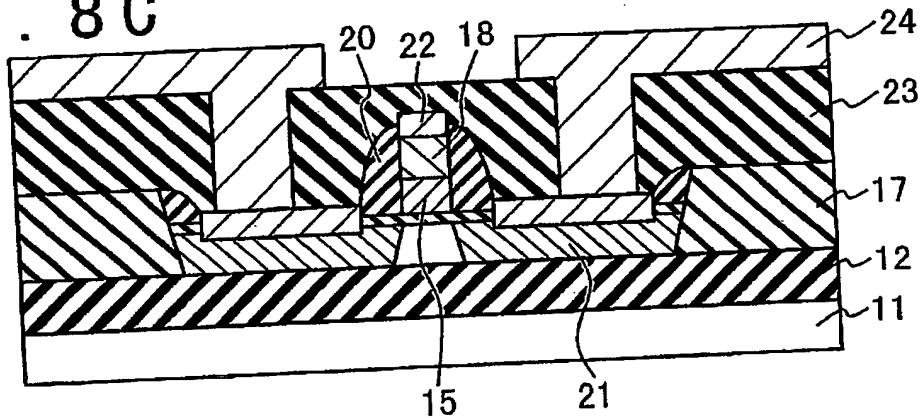


Fig. 8 D

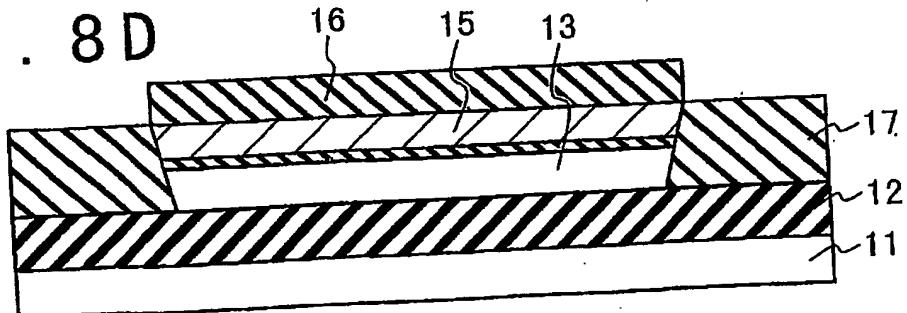


Fig. 9

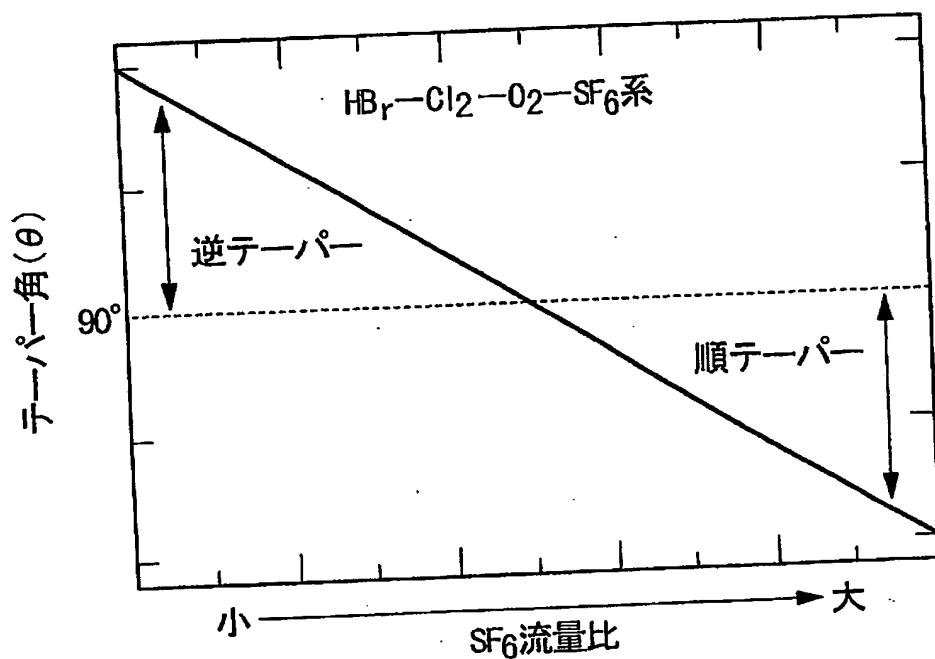


Fig. 10A

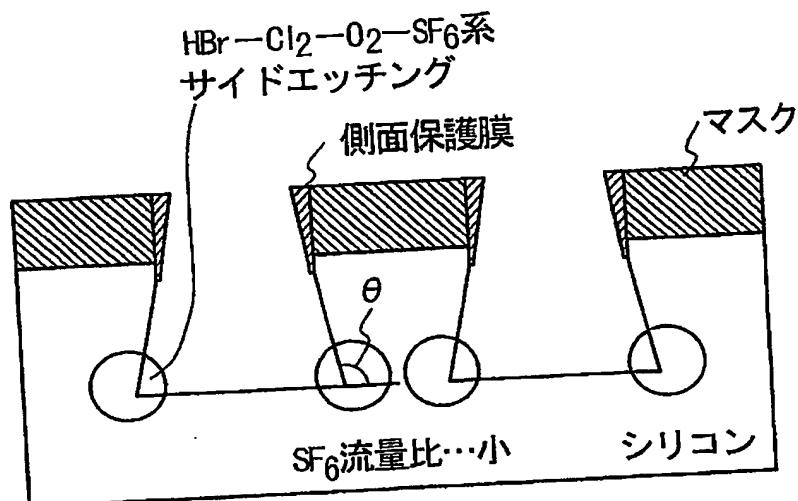


Fig. 10B

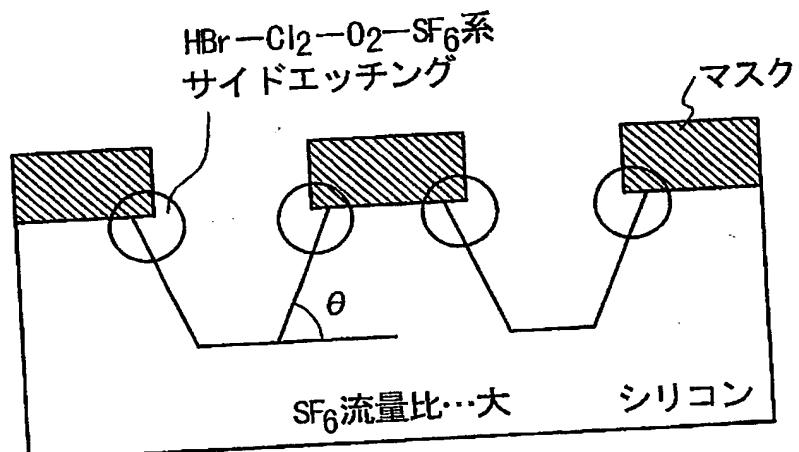


Fig. 11

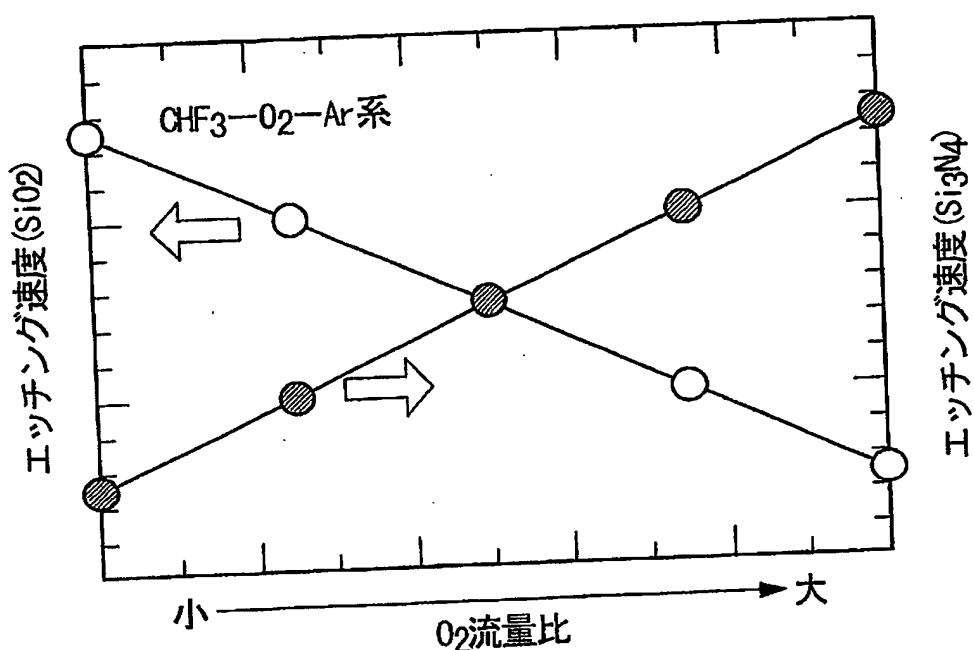


Fig. 12A

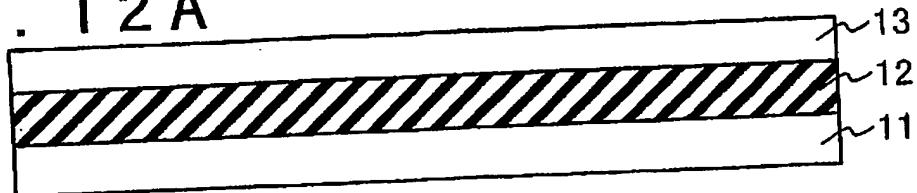


Fig. 12B

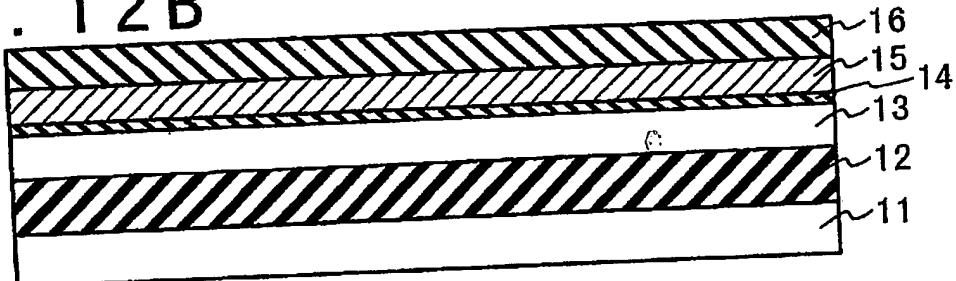


Fig. 12C

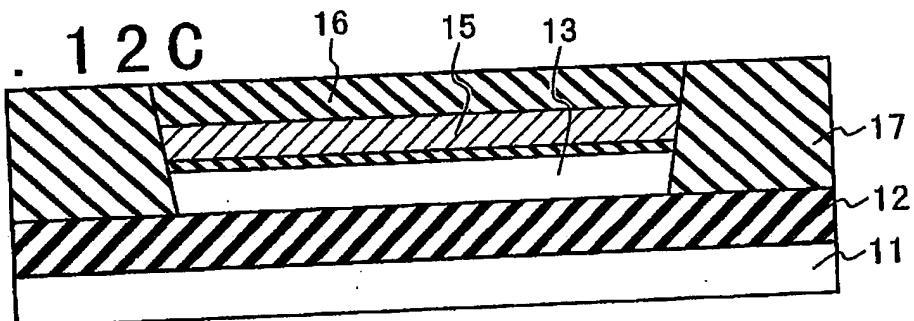


Fig. 12D

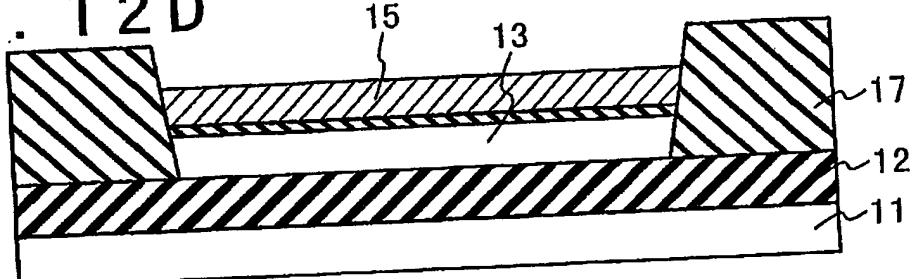


Fig. 12E

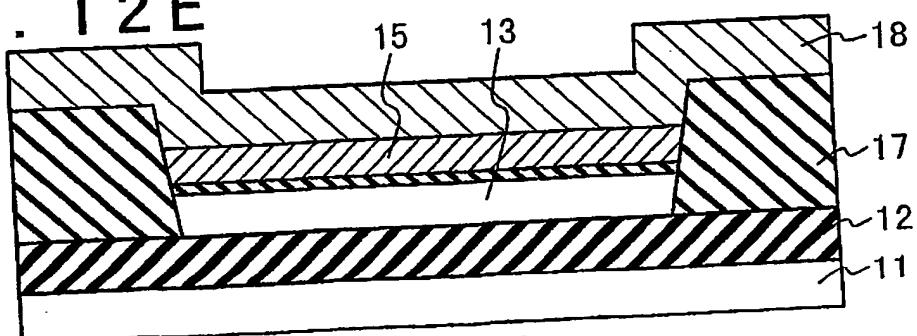


Fig. 13 A

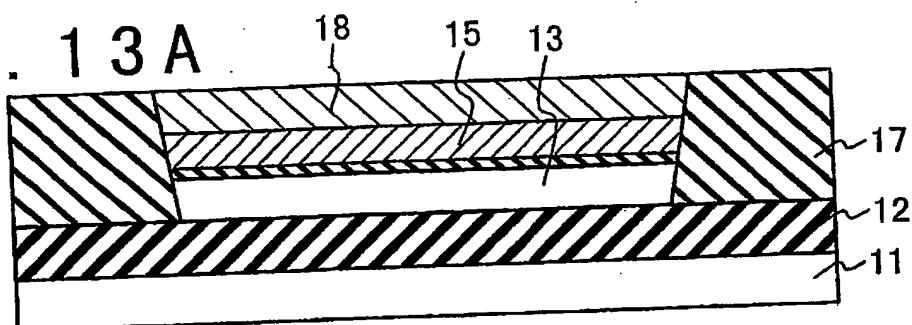


Fig. 13 B

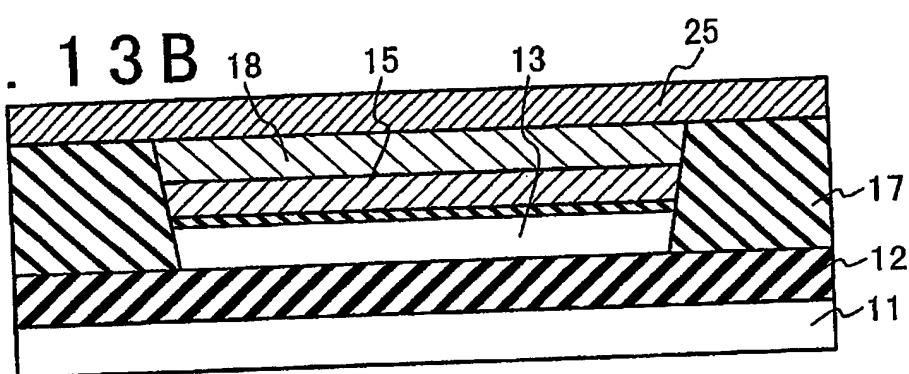


Fig. 13 C

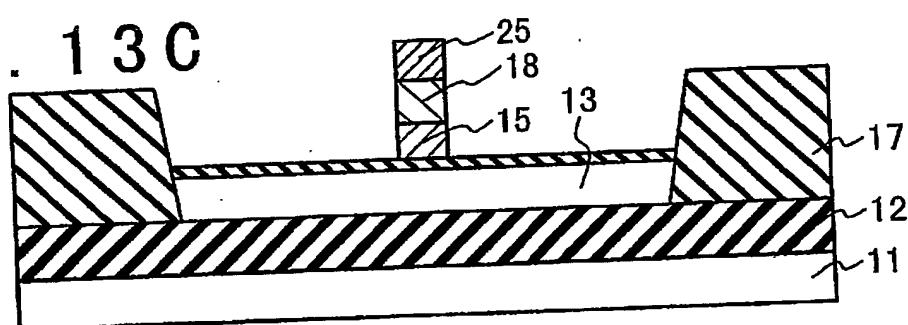


Fig. 13 D

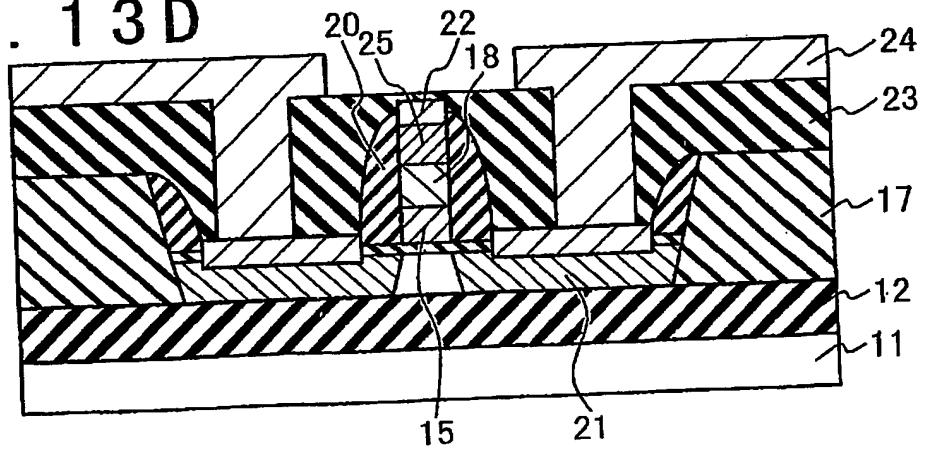


Fig. 14

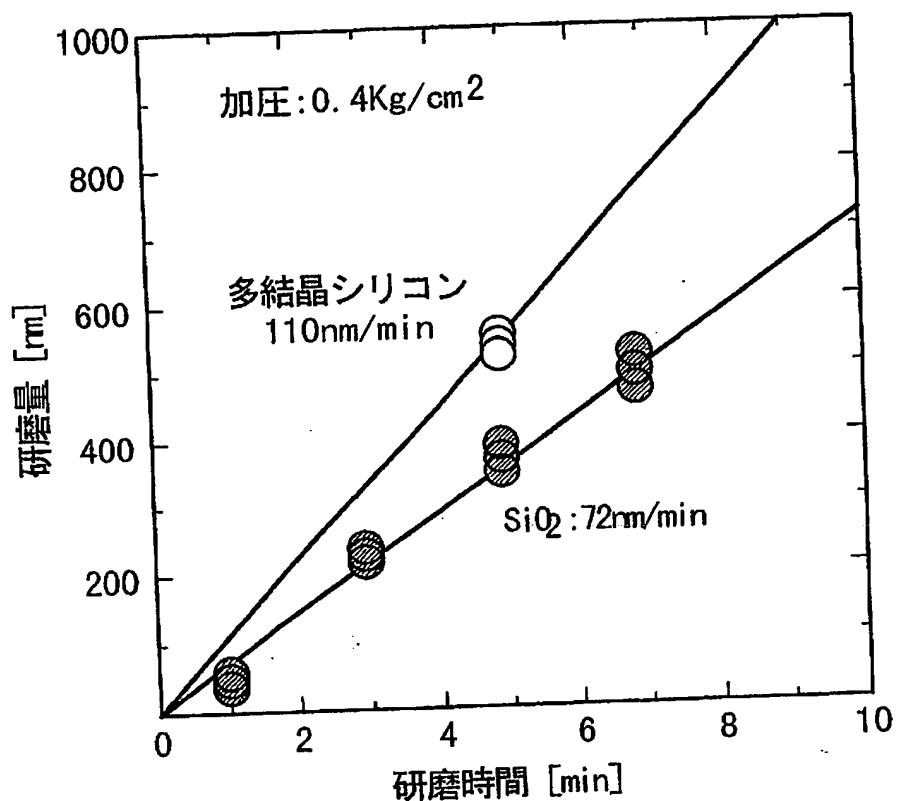
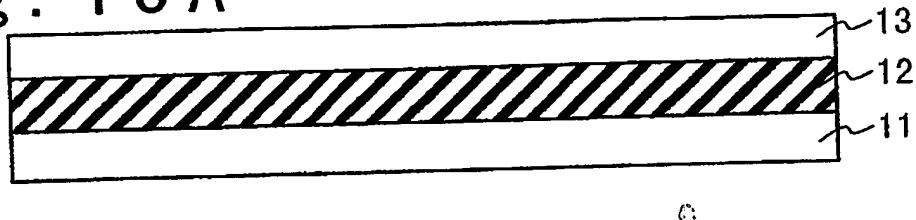


Fig. 15 A



C:

Fig. 15 B

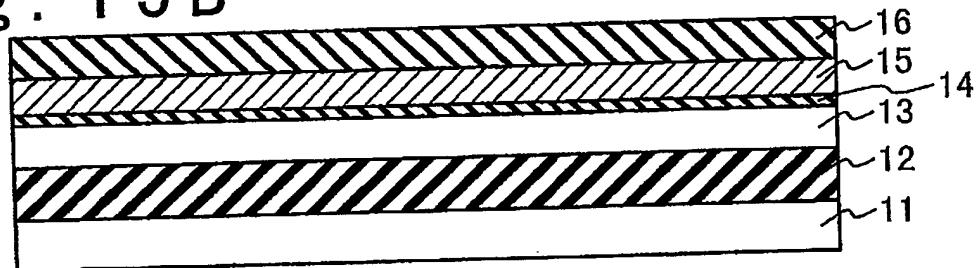


Fig. 15 C

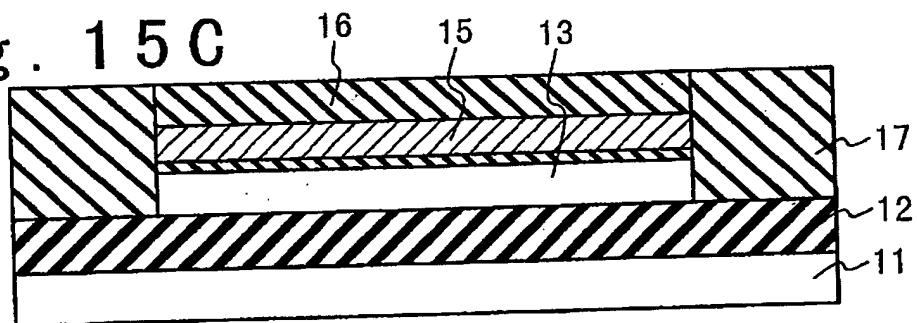


Fig. 15 D

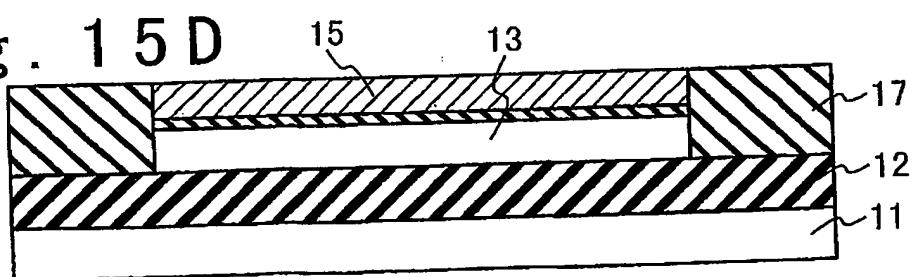


Fig. 16 A

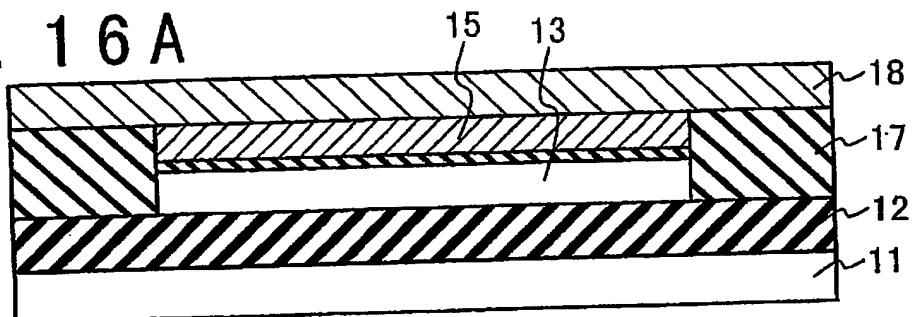


Fig. 16 B

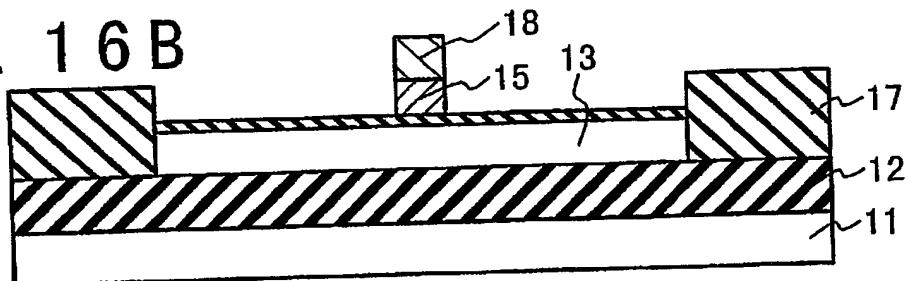


Fig. 16 C

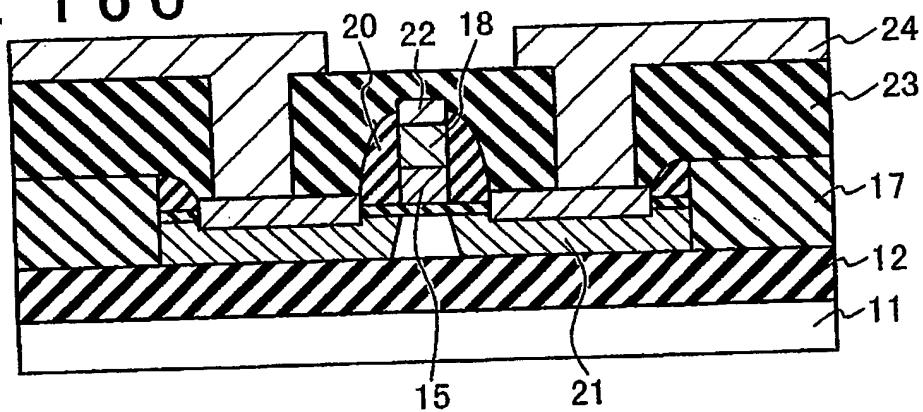


Fig. 16 D

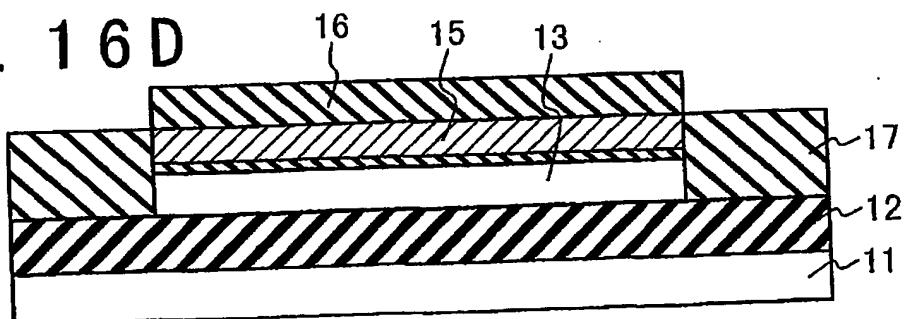


Fig. 17A

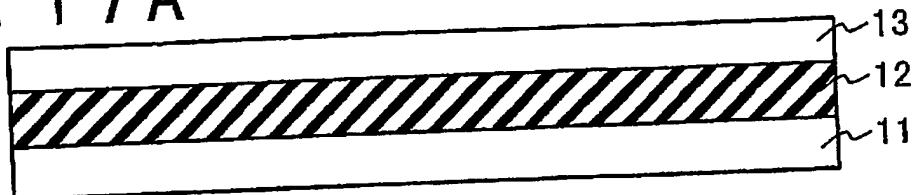


Fig. 17B

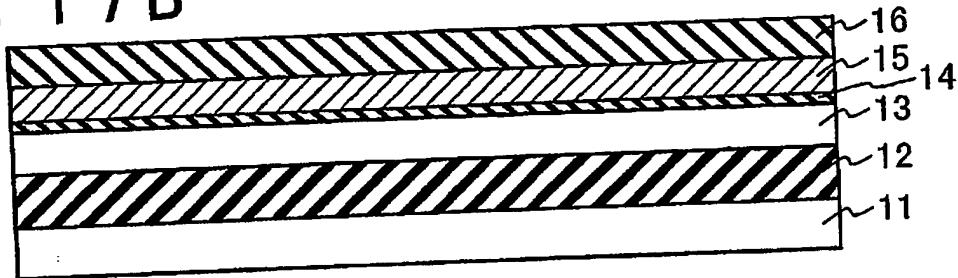


Fig. 17C

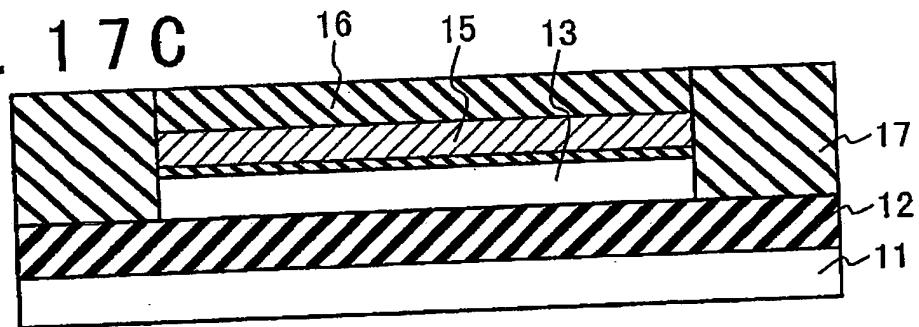


Fig. 17D

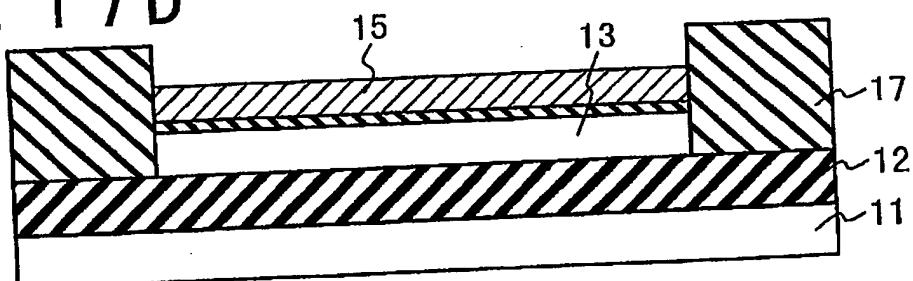


Fig. 17E

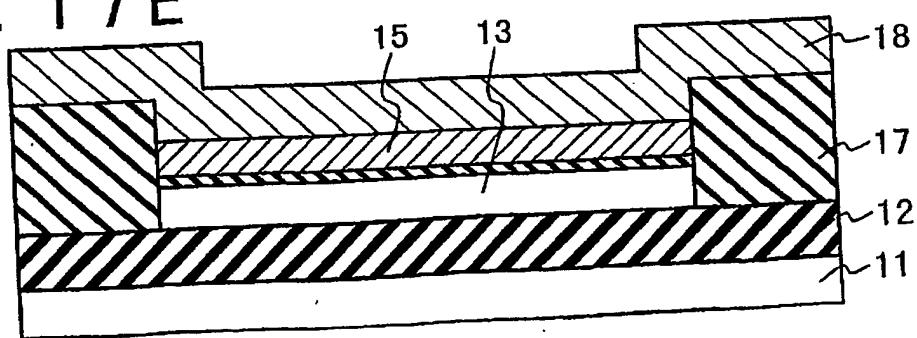


Fig. 18 A

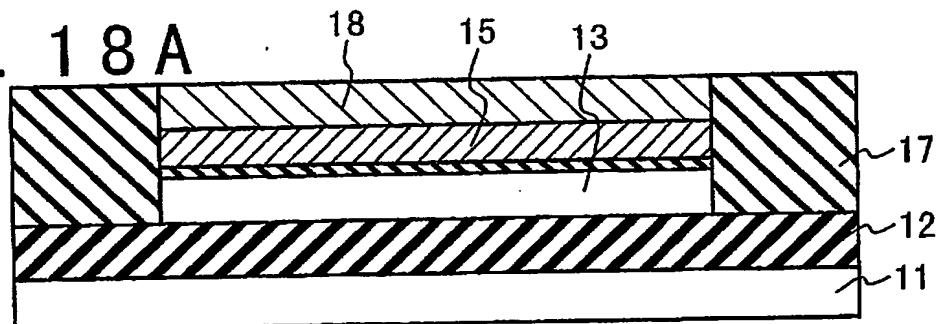


Fig. 18 B

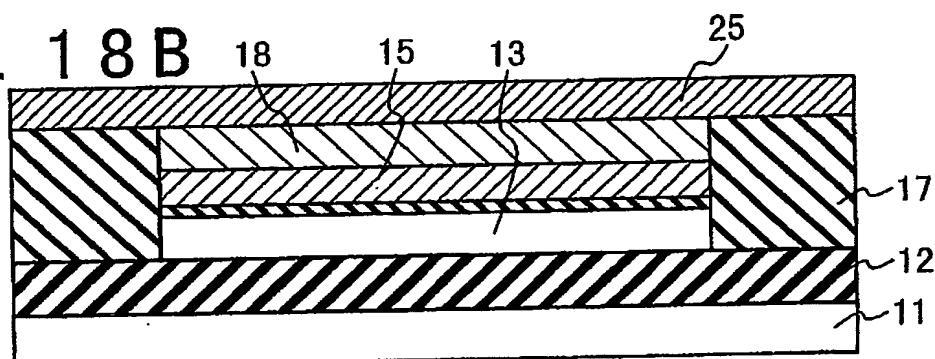


Fig. 18 C

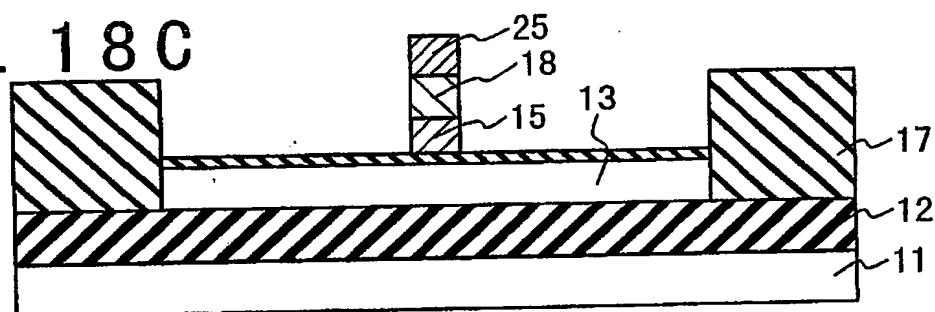


Fig. 18 D

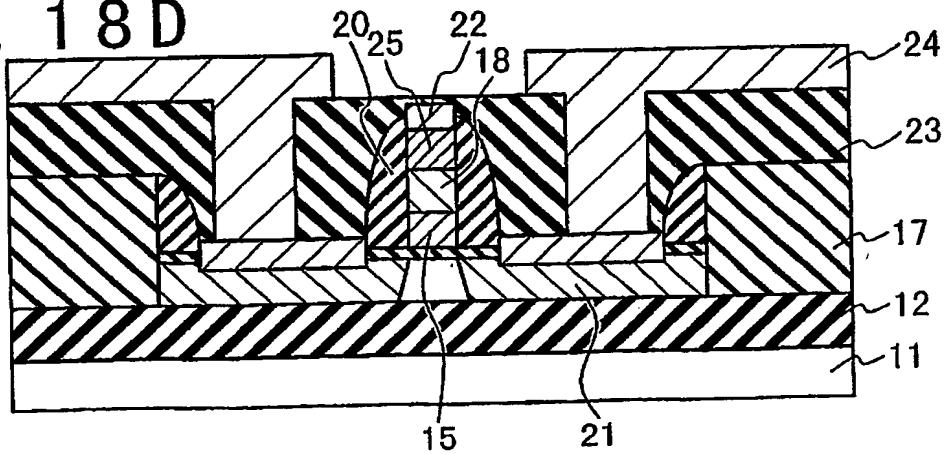


Fig. 19 A



Fig. 19 B

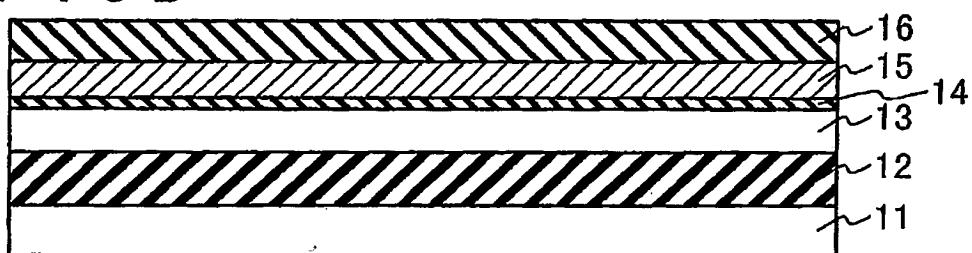


Fig. 19 C

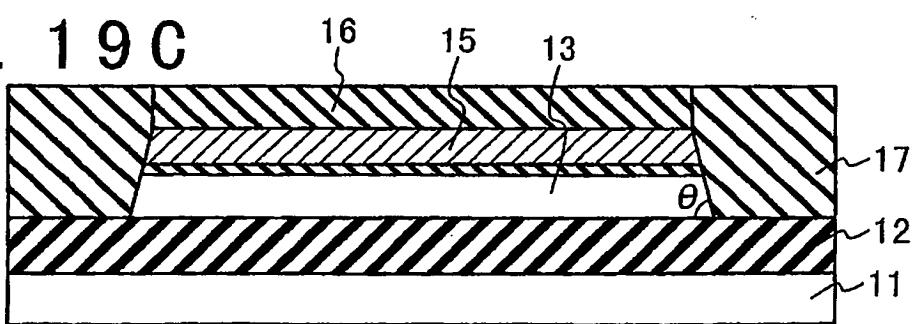


Fig. 20A

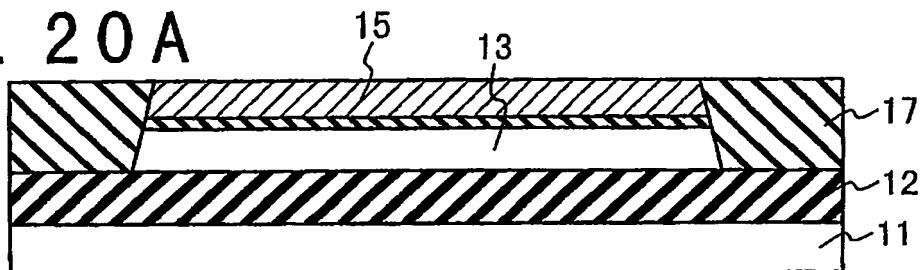


Fig. 20B

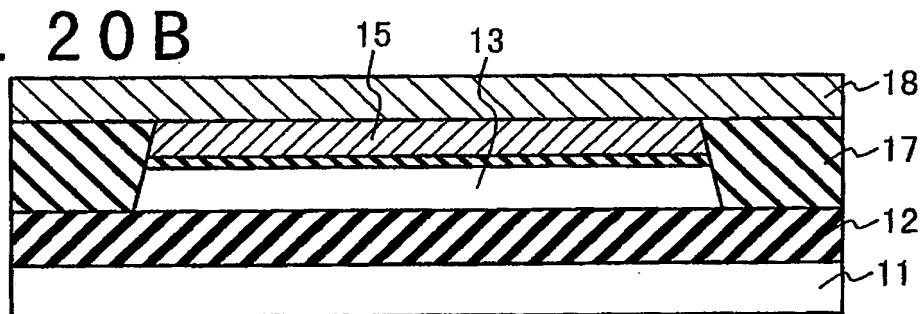


Fig. 20C

